

A.93

# И Н С Т И Т У Т ЯДЕРНОЙ ФИЗИКИ СОАН СССР

И Я Ф 38 -71

В.М.Аульченко, Ю.В.Коршунов, А.Г.Хабахпашев

## БЫСТРЫЕ ЛОГИЧЕСКИЕ БЛОКИ НА ИНТЕГРАЛЬНЫХ ЭЛЕМЕНТАХ



Новосибирск

1971

V

+

В.М.Аульченко, Ю.В.Коршунов,

А.Г.Хабахпашев

## БЫСТРЫЕ ЛОГИЧЕСКИЕ БЛОКИ НА ИНТЕГРАЛЬНЫХ ЭЛЕМЕНТАХ

### А Н Н О Т А Ц И Я

В статье описаны блоки быстрой электроники, разработанные для экспериментов на встречных пучках. Использование интегральных схем в таких блоках позволяет значительно сократить габариты и повысить надежность электроники. Приведены основные характеристики универсального блока на интегральных элементах.

БИБЛИОТЕКА  
Института ядерной  
Физики СО АН СССР  
ИНВ. №

Ядерная электроника, следуя в своём развитии за усложняющимися требованиями физических экспериментов, претерпела за последние годы ряд существенных изменений. Эти изменения коснулись как качественной стороны электронных схем, так и принципов их построения и компоновки. Если качественные изменения связаны с применением всё более быстродействующих радиоэлементов, то изменение принципов построения и компоновки электронных схем связаны, в основном, с повышением требований к их надёжности и усложнением физических экспериментов.

На начальном этапе развития ядерной электроники логические схемы экспериментов монтировались как единое целое. Это объяснялось сравнительно небольшим количеством логических элементов и тем, что такая компоновка позволяла наилучшим образом использовать частотные свойства радиоэлементов. Большими недостатками этого способа являются невозможность быстро менять логическую схему экспериментов и трудности, связанные с ремонтом. Эти недостатки были устранены с переходом на т.н. функциональные модули. Т.к. число основных логических операций ограничено, а схемы экспериментов различаются только количеством и способом соединения элементов, реализующих эти операции, то оказалось возможным с помощью ограниченного набора электронных блоков составить схему практически любого физического эксперимента. Связи между блоками осуществляются с помощью в.т. кабелей. Существует несколько различных наборов таких логических блоков за рубежом (системы NIM, CERN, SAIP и т.п.) и в нашей стране /1-4/.

Усложнение физических экспериментов, особенно в физике высоких энергий, привело к значительному увеличению количества электронных блоков и кабельных соединений между ними и, как следствие, к заметному снижению надёжности всей системы в целом. Т.о., основное достоинство модульного построения электронных схем стало превращаться в недостаток. Применение быстрых интегральных схем позволяет резко сократить количество межблочных соединений. Для этого оказалось удобным вернуться к первоначальному принципу построения схем, т.е. монтировать схему физического эксперимента или части его в виде единого блока, используя интегральные схемы в качестве логических элементов /5/.

При сокращении числа разъёмных соединений сохраняются

достаточно широкие возможности для изменения логических связей между отдельными элементами, в том числе и с помощью перепайки. Кроме того, применение ИС позволяет значительно повысить надежность всей аппаратуры и уменьшить её габариты.

Система регистрации для экспериментов на встречных электрон-позитронных пучках с энергией  $2 \times 3,5$  Гэв должна была содержать около 50 стандартных функциональных модулей и 180 кабельных соединений /4/. Один блок на интегральных схемах позволяет заменить 30 блоков из 50 (28 схем совпадений, 20 разветвителей и 20 сместителей) и втрое сократить число кабельных соединений. Тем самым значительно повышается надёжность системы регистрации и упрощается её эксплуатация. Мы хотели бы подчеркнуть, что для больших физических экспериментов, особенно продолжающихся длительное время, создание специальных схем на интегральных элементах является, по нашему мнению, оправданным. Одновременно со специальным блоком, схема которого не представляет большого самостоятельного интереса, был разработан универсальный логический блок "УБЛ", также на интегральных элементах. Логические операции, выполняемые блоком "УБЛ", могут изменяться с помощью клавишного переключателя, имеющего 12 независимых кнопок. Блок имеет 4 входа: А, Б, С, Д и 8 выходов: 1, 2, 3, 4, АВС, ВСД, АВСД, А+В+С+Д. Здесь произведение означает операцию "И", а сумма - операцию "ИЛИ". Выходы АВС, ВСД, АВСД и А+В+С+Д являются неуправляемыми; логические операции, получаемые на выходах 1, 2, 3, 4, зависят от положения переключателя. В табл.1 показано какие операции можно получить на выходах этого блока. Особо отметим, что по выходу 3 можно получить любую сумму любых двойных совпадений, а по выходу 4 - любую сумму любых тройных совпадений. При подаче на любой из входов дополнительного логического импульса (перепад от  $-0,7$ в до 0в) этот канал будет работать в режиме антисовпадений. Логическая схема блока "УБЛ" приведена на рис.1.

В описываемых блоках были использованы интегральные схемы, выполненные на токовых ключах с временем задержки 6 нсек на логический элемент. Логическими уровнями этих ИС являются  $-0,7$ в и  $-1,4$ в. За логический "0" нами был принят уровень  $-0,7$ в, а за логическую "1" - уровень  $-1,4$ в. Переход от стандартных логических уровней 0 и  $-0,7$ в на 50 ом /4/ к ло-

гическим уровням ИС осуществляется с помощью эмиттерных повторителей (ЭП), выполненных на кремниевых транзисторах (рис.2). В описываемых схемах были использованы транзисторы типа 2Т306Б с  $f_{\alpha} = 500$  Мгц и транзисторы 2Т319Г с  $f_{\alpha} = 350$  Мгц. Переход от логических уровней ИС к стандартным осуществляется с помощью токовых ключей (ТК), выполненных на тех же транзисторах (рис.3).

При работе со стандартными логическими сигналами длительностью 20 нсек на полувывоте и фронтами 2,5 нсек кривые задержанных совпадений имеют разрешение  $38 \div 40$  нсек и спады  $1,5 \div 2$  нсек. Длительность выходных импульсов равна времени перекрытия совпадающих входных сигналов, фронты  $2,5 \div 3$  нсек, амплитуда - 0,7в на 50ом. Время распространения сигналов через блок около 20 нсек. Питание - 6в.

Полученные параметры схем на интегральных элементах, их высокие эксплуатационные качества показывают правильность выбранного подхода к построению больших логических схем.

	AB	AC	AD	BC	BD	CD	ABC	ABD	ACD	BCD	ABCD	A+B	C+D	A+B+C+D
1	X											X		
2						X							X	
3	X	X	X	X										
4					X	X	X	X	X	X				
ABC							X							
BCD										X				
ABCD											X			
A+B+C+D														X

Таблица 1.

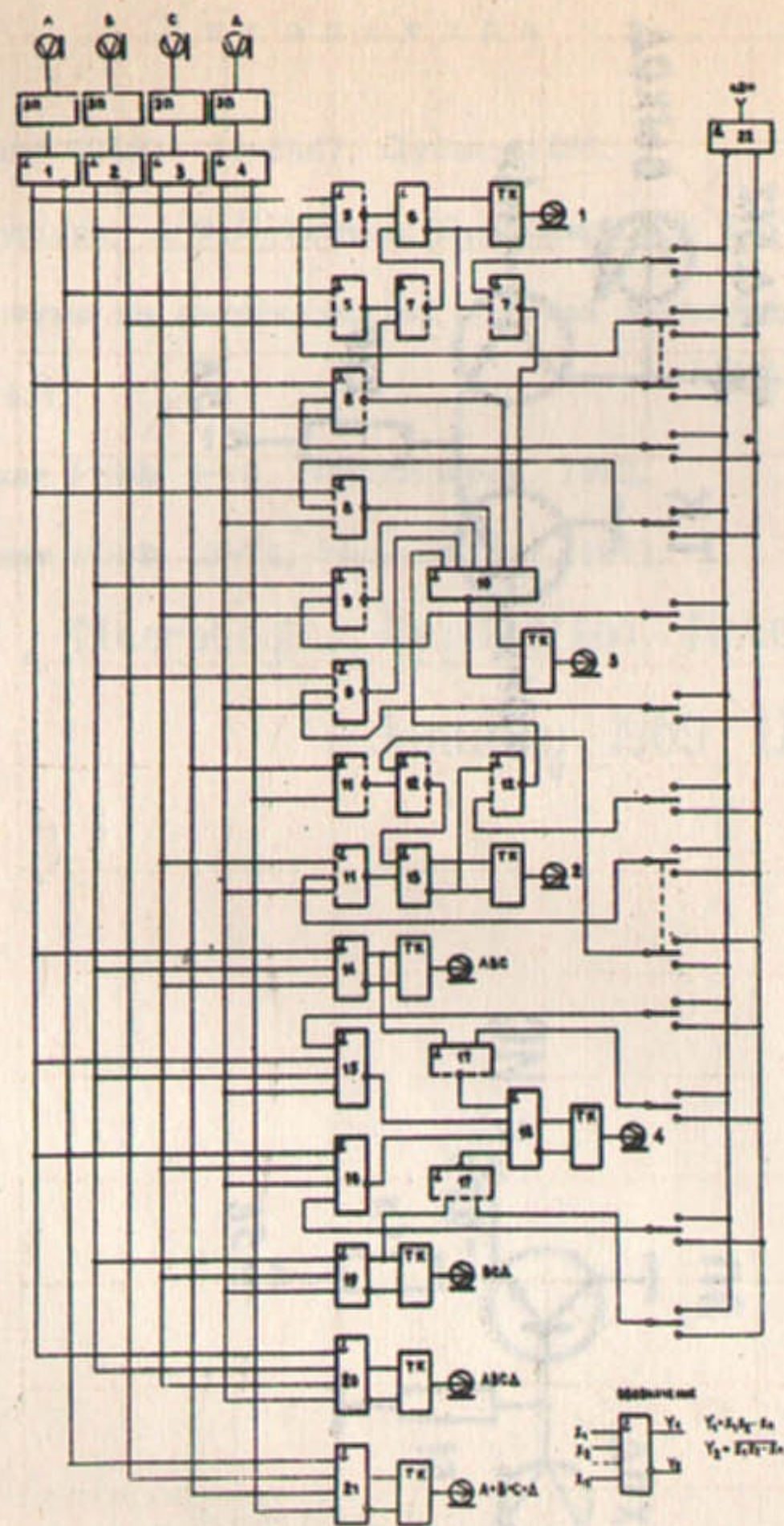


Рис. 1

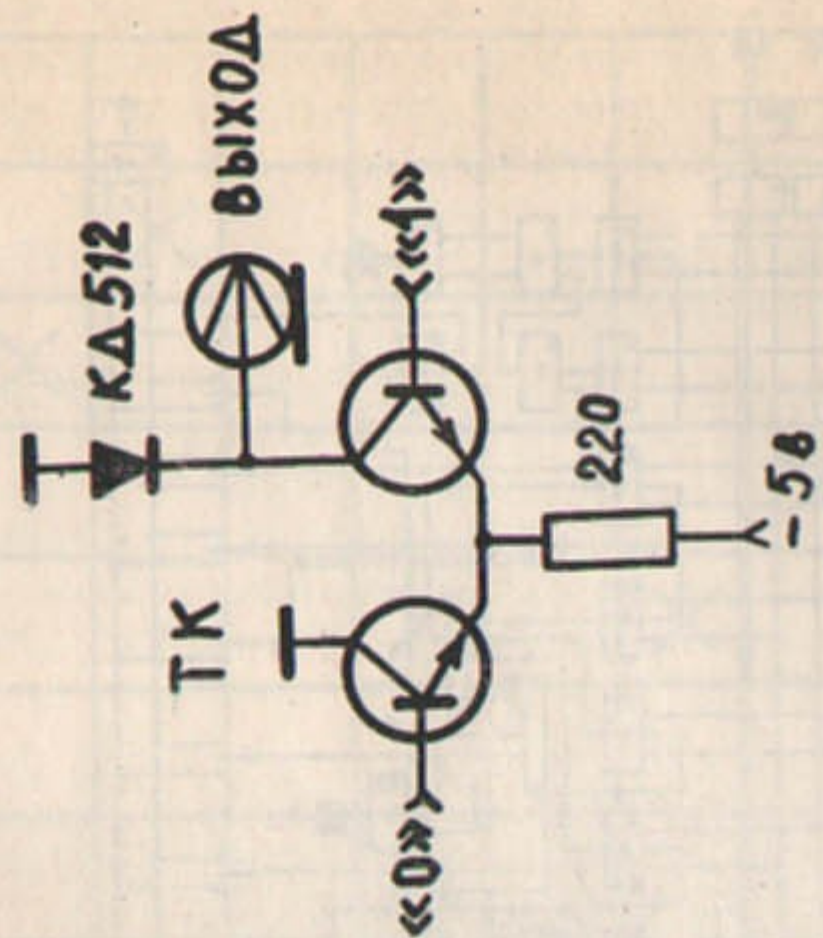


Рис.3.

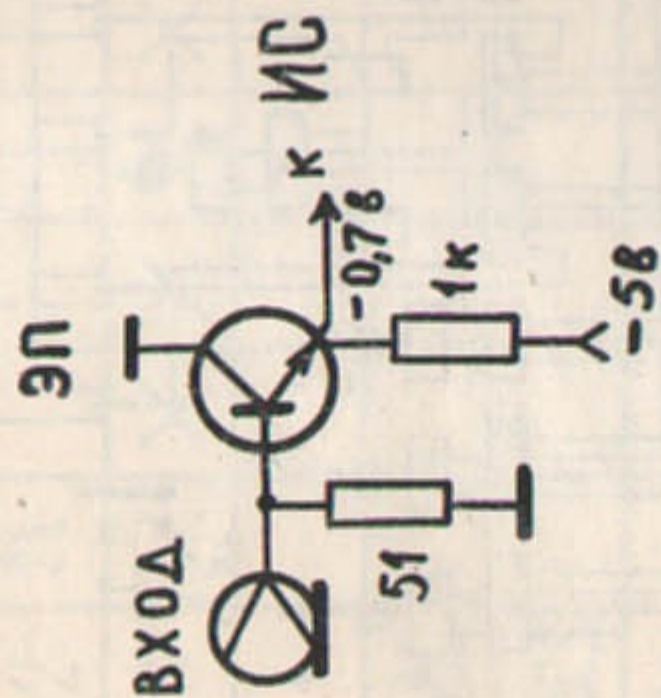


Рис.2.

## Л и т е р а т у р а

1. Препринт ОИЯИ 13-5447, Дубна, 1970.
2. Ю.Б.Бушнин, А.Ф.Дунайцев, В.А.Синько. В Сб. "Материалы симпозиума по наносекундной ядерной электронике", Дубна, 1967, 131.
3. Препринт ИЯФ 8-70, Новосибирск, 1970.
4. Препринт ИЯФ 13-71, Новосибирск, 1971.
5. EG & G, Macrologic Application Note, January 1969, USA.