

Б.23-

38

ИНСТИТУТ ЯДЕРНОЙ ФИЗИКИ
СО АН СССР

В.Ш.Банзаров, А.Н.Малыгин, Б.Н.Шувалов

ОПЕРАТИВНОЕ ЗАПОМИНАЮЩЕЕ
УСТРОЙСТВО ОЗУ-256К
ДЛЯ МИНИ-ЭВМ М-6000

Препринт №82-134

БИБЛИОТЕКА
Института ядерной
Физики СО АН СССР
ИНВ. № _____



Новосибирск

В работе кратко описывается полупроводниковое запоминающее устройство для ЭВМ М-6000. Более подробно затронуты вопросы коррекции ошибок и организации адресации к новой памяти.

1. ПРЕДПОСЫЛКИ ВОЗНИКНОВЕНИЯ ПАМЯТИ

В нашем Институте разработан и успешно функционирует многомашинный вычислительный комплекс РАДИУС [1]. Комплекс служит для управления установками, контроля аппаратуры, сбора и обработки информации в экспериментах по физике высоких энергий. В его составе в настоящее время реально работают 17 мини-ЭВМ М-6000. Круглосуточный режим работы установок предъявляет повышенные требования к надежности минимашин.

Многолетний опыт эксплуатации М-6000 показал, что ее надежность определяется в основном надежностью блоков оперативной памяти А211-8 и источников питания. Учитывая большое количество блоков ОЗУ (свыше 120), даже при относительно высоком показателе надежности блока (1 отказ в год), видно, что в целом частота отказов памяти высока. Практика показывает, что только для ремонта блоков памяти необходимо постоянно иметь двух-трех специалистов.

В настоящее время отечественная промышленность освоила выпуск микросхем полупроводниковой памяти, которые характеризуются хорошей надежностью, большой степенью интеграции, высоким быстродействием и незначительным потреблением. Разработанное нами устройство построено на основе интегральной микросхемы К565РУЗ — ЗУ динамического типа емкостью 16 килобит. Внедрение такой памяти в М-6000 позволяет существенно уменьшить габариты машины, количество источников питания, повысить надежность и ремонтпригодность ЭВМ.

2. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

При разработке основной целью было сохранение алгоритма и временных соотношений работы процессора с памятью. Поэтому новая память выполнена в виде автономного блока, подключаемого к процессору (А131-3 или А131-7) с помощью стандартных кабелей и блоков связи БСП-305, БСП-306. Схема подключения памяти показана на рис.1.

Для повышения надежности организован контроль информации по принципу Хемминга, позволяющий автоматически ис-

правлять все однобитовые ошибки памяти и обнаруживать все двухбитовые.

Особенностью динамической памяти является необходимость восстановления информации — регенерация. В нашем устройстве регенерация выполняется за 128 тактов, построчно, в интервалах времени, когда память свободна. Таким образом, регенерация оказывается незаметной для процессора и на быстродействие М-6000 не влияет.

Объем оперативной памяти М-6000 увеличен до 256 килослов. Проблемы, связанные с адресацией, решены с использованием метода базирования. Такой метод был реализован нами в расширителе оперативной памяти М-6000. Это устройство, не исключая собственной памяти ЭВМ, позволяет подключить дополнительную память на основе блоков типа «Электроника-ОЗУ64К» общей емкостью до 4 мегабайт. Недостатком устройства является понижение быстродействия дополнительной памяти в 1.25—1.5 раза по сравнению с собственной памятью. К тому же такой подход не предполагает повышения надежности ЭВМ.

Новая память имеет постоянное запоминающее устройство (ПЗУ) емкостью 512 слов, предназначенное для хранения программ начальной загрузки.

3. СТРУКТУРА И ФУНКЦИОНИРОВАНИЕ

Структурная схема устройства приведена на рис.2. При очередном обращении в память поступающий из процессора М-6000 15-тиразрядный адрес заносится в регистр адреса. Формирователь физического адреса прибавляет к адресу базовое число, образуя 18-тиразрядный физический адрес, необходимый для адресации к памяти объемом 256 килослов. 16-тиразрядный регистр числа служит для приема и промежуточного хранения записываемого в ОЗУ числа. Формирователь корректирующих разрядов дополняет записываемое число 6-ю битами Хемминга, необходимыми для коррекции ошибок ОЗУ. Блок коррекции осуществляет промежуточное хранение прочитанного из ОЗУ 22-хразрядного слова, анализ его и коррекцию в случае ошибки. Коммутатор данных предназначен для передачи в процессор М-6000 слова, прочитанного из ОЗУ или из ПЗУ.

4. КОРРЕКЦИЯ ОШИБОК

Принцип Хемминга, применяемый для коррекции ошибок памяти, предполагает введение избыточных корректирующих разрядов. Для исправления всех однобитовых и обнаружения всех двухбитовых ошибок в 16-тиразрядных словах достаточно иметь 6 таких разрядов. Корректирующие разряды располагаются в новом 22-хразрядном слове в определенном порядке.

Табл.1 показывает соответствие битов D_i 16-тиразрядного слова М-6000 битам X_i полученного 22-хразрядного слова.

Табл.1.

| | | | | | | | | | | | | | | | | | | | | | | |
|-------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|----|
| D_i | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | | | | | | |
| X_i | 28 | 24 | 21 | 20 | 19 | 18 | 17 | 16 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 6 | 5 | 4 | 3 | 2 | 1 | 22 |

Корректирующие разряды — $X_1, X_2, X_4, X_8, X_{16}$ — формируются таким образом, чтобы в случае однобитовой ошибки можно было получить номер искаженного бита:

$$\begin{aligned} X_1 &= X_3 \oplus X_5 \oplus X_9 \oplus X_{11} \oplus X_{13} \oplus X_{17} \oplus X_{19} \oplus X_{21} \\ X_2 &= X_3 \oplus X_6 \oplus X_{10} \oplus X_{11} \oplus X_{14} \oplus X_{18} \oplus X_{19} \\ X_4 &= X_5 \oplus X_6 \oplus X_{12} \oplus X_{13} \oplus X_{14} \oplus X_{20} \oplus X_{21} \oplus X_{28} \\ X_8 &= X_9 \oplus X_{10} \oplus X_{11} \oplus X_{12} \oplus X_{13} \oplus X_{14} \oplus X_{24} \oplus X_{28} \\ X_{16} &= X_{17} \oplus X_{18} \oplus X_{19} \oplus X_{20} \oplus X_{21} \oplus X_{24} \oplus X_{28} \end{aligned}$$

X_{22} — бит нечетности — дополняет общее число единиц в 22-хразрядном слове до нечетного.

$$X_{22} = X_1 \oplus X_2 \oplus X_3 \oplus \dots \oplus X_{28}$$

Полученное таким образом 22-хразрядное слово записывается в память. При считывании слова схема контроля подвергает его анализу. Для этого формируется 5-тиразрядный код «синдрома» и признак F_6 . Разряды кода «синдрома» — F_1, F_2, F_3, F_4, F_5 — вычисляются следующим образом:

$$\begin{aligned} F_1 &= X_1 \oplus X_3 \oplus X_5 \oplus X_9 \oplus X_{11} \oplus X_{13} \oplus X_{17} \oplus X_{19} \oplus X_{21} \\ F_2 &= X_2 \oplus X_3 \oplus X_6 \oplus X_{10} \oplus X_{11} \oplus X_{14} \oplus X_{18} \oplus X_{19} \\ F_3 &= X_4 \oplus X_5 \oplus X_6 \oplus X_{12} \oplus X_{13} \oplus X_{14} \oplus X_{20} \oplus X_{21} \oplus X_{28} \end{aligned}$$

$$F_4 = X_8 \oplus X_9 \oplus X_{10} \oplus X_{11} \oplus X_{12} \oplus X_{13} \oplus X_{14} \oplus X_{24} \oplus X_{28}$$

$$F_5 = X_{16} \oplus X_{17} \oplus X_{18} \oplus X_{19} \oplus X_{20} \oplus X_{21} \oplus X_{24} \oplus X_2$$

F_6 — признак однобитовой ошибки, позволяющий различать одно- и двухбитовые ошибки, вычисляется по формуле:

$$F_6 = X_{22} \oplus X_1 \oplus X_2 \oplus \dots \oplus X_{28}$$

На рис.3. приведен алгоритм работы схемы коррекции. Слово считается верным, если код «синдрома» и признак F_6 равны нулю. Однобитовые ошибки выявляются по $F_6 = 1$. При этом код «синдрома» является двоичным кодом номера искаженного бита. Двухбитовые ошибки определяются по ненулевому коду «синдрома» при $F_6 = 0$.

Алгоритм показывает также, что схема коррекции позволяет выявлять даже часть многобитовых ошибок, следствием которых являются несуществующие коды «синдрома», например: 7, 15, 23 и др.

5. РАСШИРЕНИЕ ОПЕРАТИВНОЙ ПАМЯТИ М-6000

Реализация на мини-ЭВМ М-6000 операционных систем, обеспечивающих одновременное обслуживание нескольких пользователей, ограничивается небольшим объемом оперативной памяти. Архитектура М-6000 позволяет адресоваться только к памяти объемом не выше 32К ($K = 1024$ слова). Одним из простых способов расширения адресации, не требующим никаких переделок процессора, является метод базирования. Он заключается в использовании внешнего регистра в качестве базового, содержимое которого используется в качестве старших разрядов физического адреса. Однако такой способ не обеспечивает достаточно эффективного использования объема памяти и не допускает коллективное использование программ.

Наша схема предполагает разделение программно-адресуемого пространства на две области: основную и базирруемую. В основной памяти хранится ядро операционной системы, а базирруемая может использоваться или для загрузки и исполнения программ, или в качестве буферов. Под базирруемую область отводится старшая часть адресуемого пространства, размер кото-

рой задается аппаратно и может меняться в пределах от 4К до 28К с кратностью 4К.

При обращении к базирруемой области памяти формирователь физического адреса использует операцию сложения с наложением 8-миразрядного базового адреса и 15-тиразрядного логического адреса, в результате чего образуется 18-тиразрядный физический адрес (рис.4). Такая схема позволяет расширить адресуемую область памяти до 256К. Хотя базирруемая область имеет фиксированную длину, но в физической памяти она может размещаться на границах участков меньшего размера (до 1К).

Базовые адреса записываются программно в блок базирования, который содержит 5 базовых регистров. Один из регистров отведен для процессора, остальные используются для обращения в память двух КПП, имеющих по два подканала, работающих независимо. При каждом обращении в память анализируются сигналы *РОП*, *РОК1*, *РОК2* и выбирается соответствующий базовый регистр.

5.1. Замечания по программированию

Запись базового адреса в один из регистров осуществляется командой *ОТА/В SC,C*, где *SC* является кодом выборки блока базирования. При этом в *РА/Б* должен быть номер регистра и базовый адрес. Для чтения содержимого одного из регистров необходимо командой *ОТА/В SC* выдать номер регистра, а затем командой *ЛИА/В SC* прочитать его содержимое.

Формат управляющего слова (поразрядно):

| | |
|-------|-----------------|
| 0—2 | номер регистра |
| 3—5 | не используются |
| 6—13 | базовый адрес |
| 14—15 | не используются |

Номера регистров (в двоичном коде):

| | |
|-----|-------------------|
| 000 | процессор |
| 010 | КПП-1, подканал-0 |
| 011 | КПП-1, подканал-1 |

100 КПП-2, подканал-0
101 КПП-2, подканал-1

6. КОНСТРУКТИВНОЕ ИСПОЛНЕНИЕ

Устройство выполнено в стандартах АСВТ-М и размещается в типовом каркасе, рассчитанном на двойные платы типа Б, В. Устройство включает 4 платы управления (рис.1.) и до 16 идентичных плат ЗУ. Емкость одной платы ЗУ — 32К полуслова (11 разрядов). Модульная организация позволяет легко наращивать память и облегчает поиск неисправностей.

Устройство устанавливается в процессорной стойке М-6000 на месте двух блоков старой памяти. При этом существенно уменьшается количество блоков питания, исключаются многочисленные кабельные магистрали, понижающие надежность машины. Переделки, связанные с заменой памяти не представляют технических трудностей.

В нашем Институте уже семь М-6000 работают с новой памятью. Впечатления относительно надежности работы этих машин самые хорошие. Модернизация М-6000 позволила использовать ее для решения ряда задач, требующих большой оперативной памяти и повышенной надежности.

Литература:

1. В.А.Гусев, Н.Ф.Денисов, Э.Л.Неханевич, В.М.Попов, А.В.Романов, В.А.Сидоров, Б.Л.Сысолетин, Б.Н.Шувалов. Система ЭВМ для автоматизации экспериментов. Препринт ИЯФ 75-84, Новосибирск, 1975.

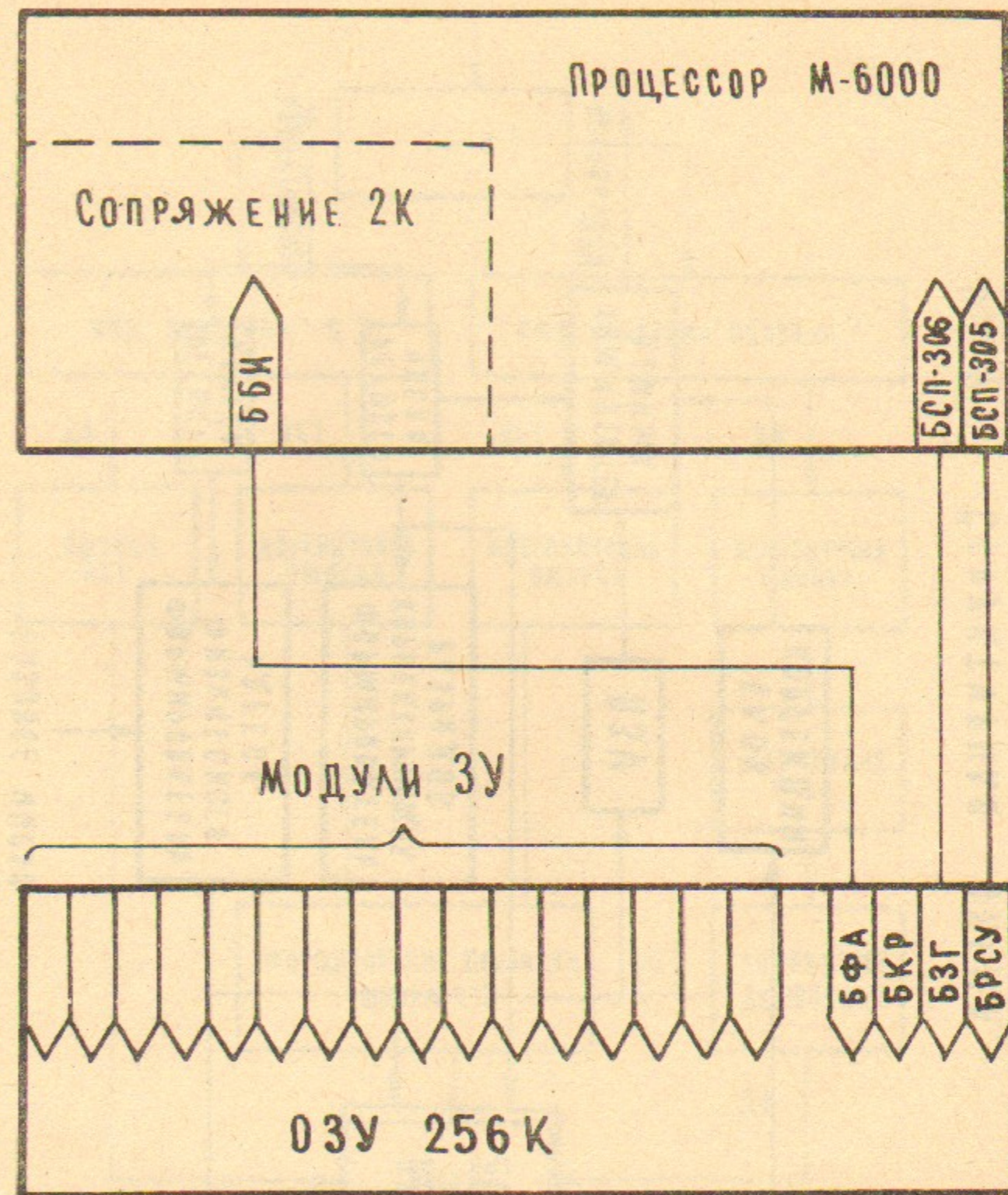


Рис.4 СХЕМА ПОДКЛЮЧЕНИЯ ПАМЯТИ.

Рис. 2 СТРУКТУРНАЯ СХЕМА.

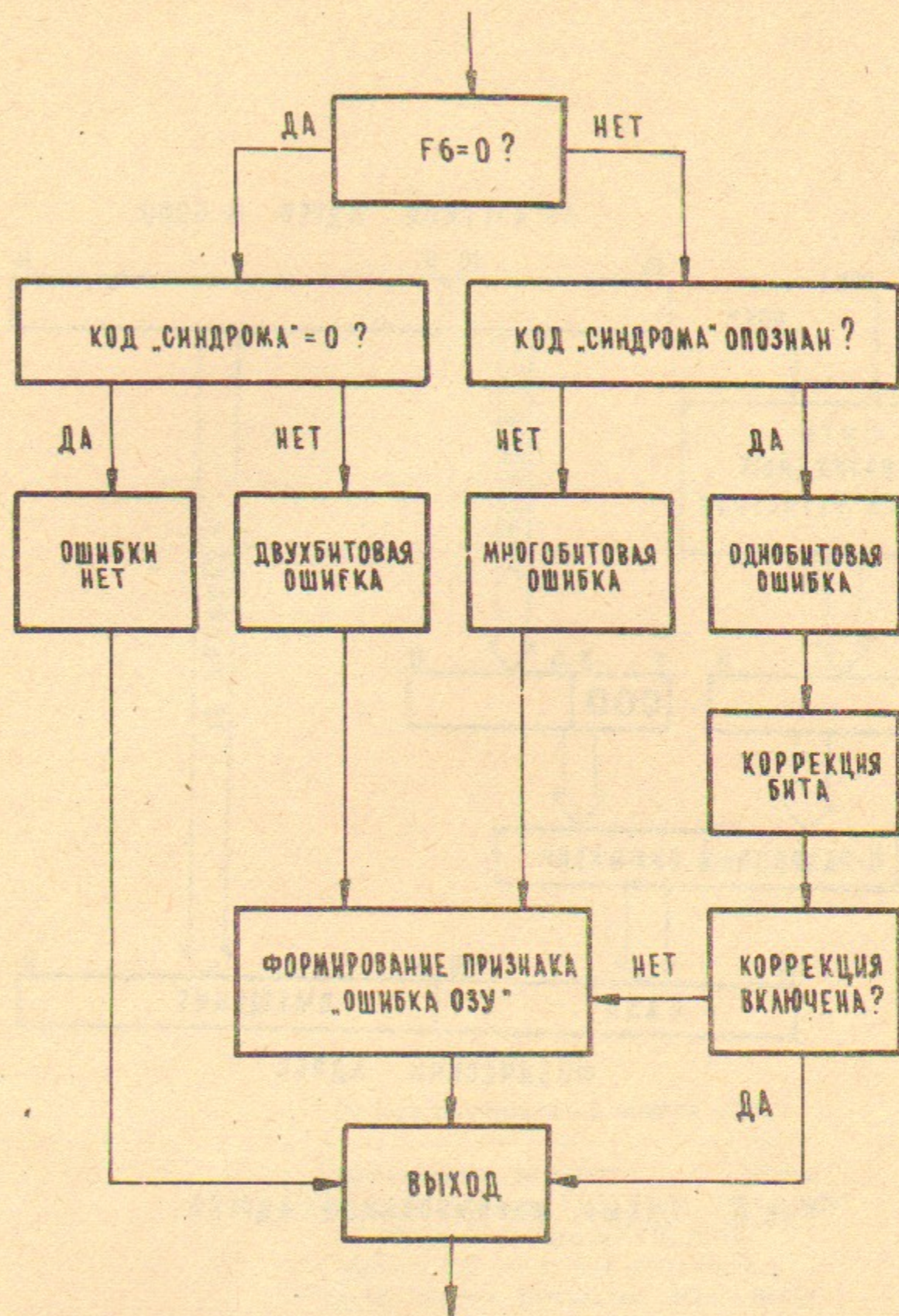
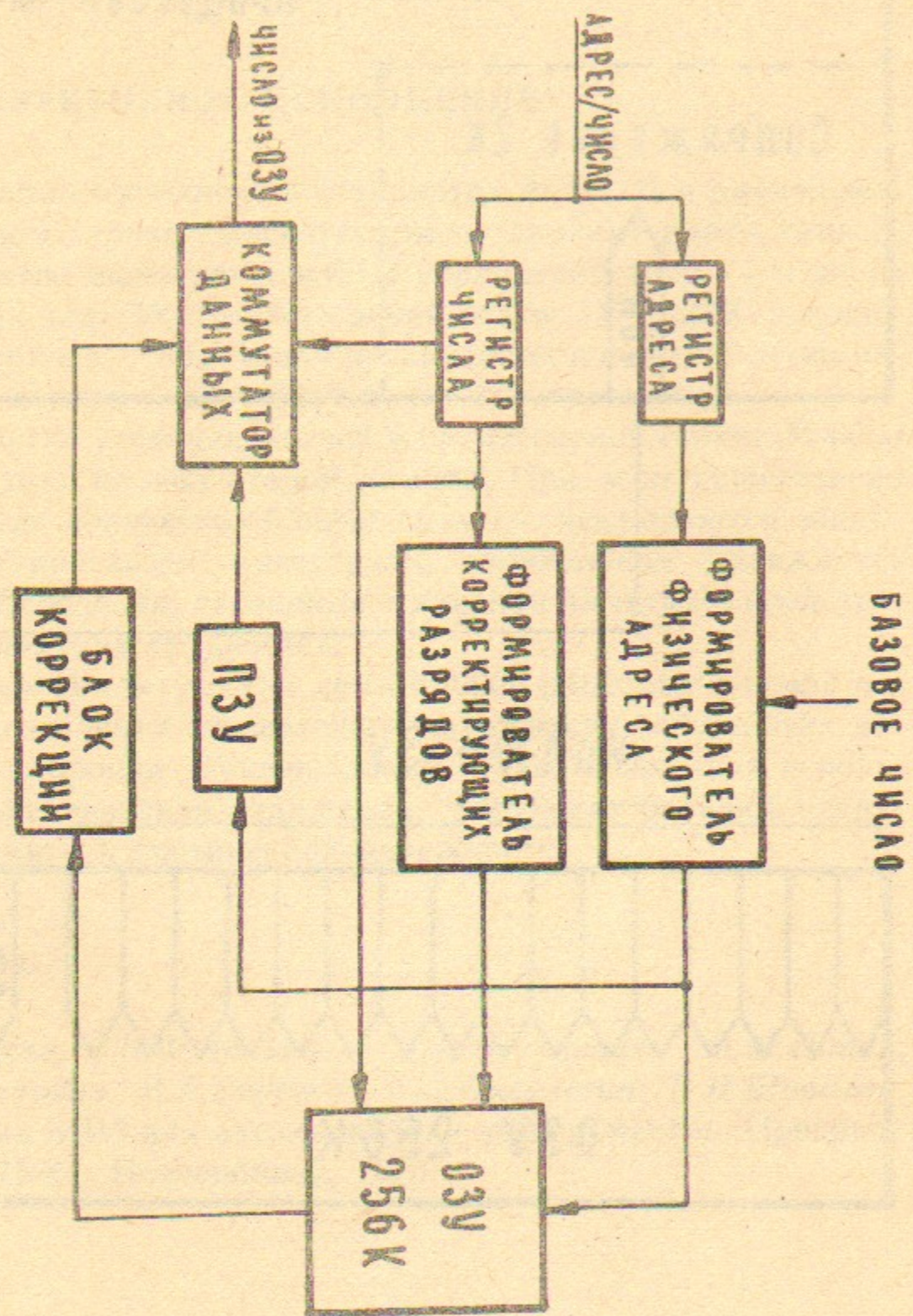


Рис. 3 Алгоритм коррекции ошибок.

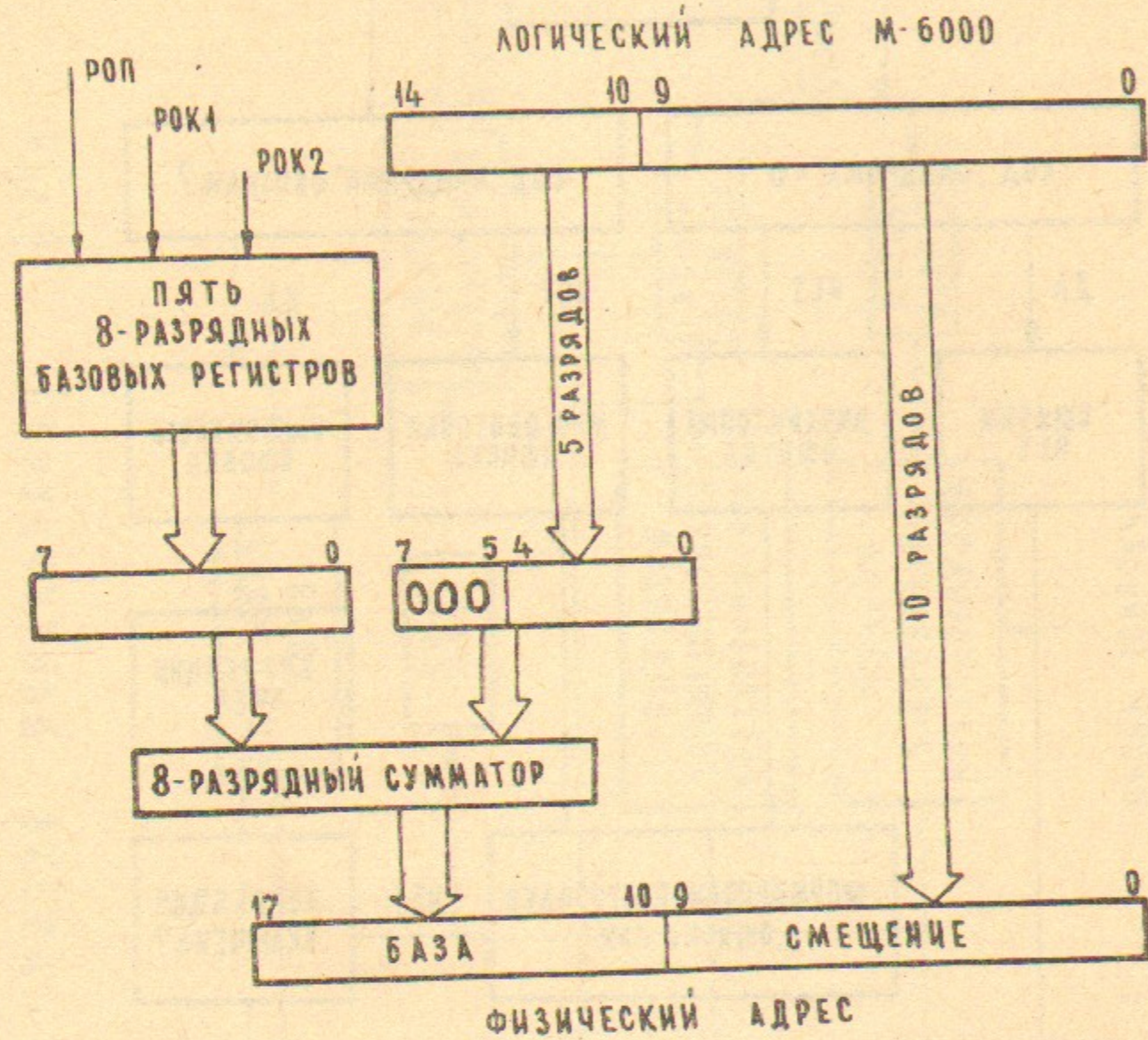


РИС.4 СХЕМА ФОРМИРОВАНИЯ АДРЕСА.

Работа поступила—1 ноября 1982 г.

Ответственный за выпуск — С.Г.Попов
 Подписано в печать 11.11.1982г. МН 03620
 Формат бумаги 60×90 1/16
 Объем 0.5 печ.л., 0.4 учетно-изд.л.
 Тираж 150 экз. Бесплатно. Заказ №134.

Набрано в автоматизированной системе на базе фотонаборного автомата ФА1000 и ЭВМ «Электроника» и отпечатано на ротапинтере Института ядерной физики СО АН СССР,
 Новосибирск, 630090, пр. академика Лаврентьева, 11.