

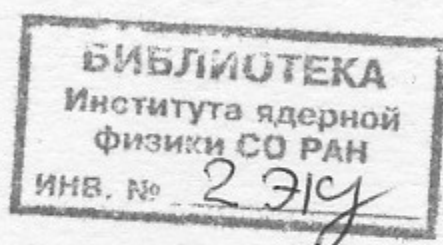
Б.95



ИНСТИТУТ ЯДЕРНОЙ ФИЗИКИ СО АН СССР

А.В. Быков, С.В. Максимова, В.С. Потеряев

ОПЕРАТИВНЫЕ  
ЗАПОМИНАЮЩИЕ УСТРОЙСТВА  
ДЛЯ ЭВМ «ЭЛЕКТРОНИКА 60»  
И «ЭЛЕКТРОНИКА 79»



ПРЕПРИНТ 88-8



НОВОСИБИРСК

## ВВЕДЕНИЕ

В нашем институте для автоматизации физических установок получили широкое распространение микроЭВМ «Электроника 60» и разворачивается система управления на базе мини-ЭВМ «Электроника 79». Для систем управления на базе «Электроники 60» характерны повышенные требования к надежности микроЭВМ. Многолетний опыт эксплуатации микроЭВМ «Электроника 60» показал, что ее надежность во многом определяется надежностью ОЗУ.

В составе комплексов на базе мини-ЭВМ «Электроника 79» и микроЭВМ «Электроника 60» поставляется ОЗУ, не удовлетворяющее предъявляемым к нему требованиям по надежности («Электроника 60») и по объему («Электроника 79»). Так, в состав микроЭВМ «Электроника 60» входит ОЗУ емкостью 4К слов без возможности контроля достоверности хранимой информации, тогда как для ЭВМ в системах автоматизации управления физическими установками требуется ОЗУ с возможностью коррекции и обнаружения случайных ошибок, возникающих в процессе работы, возможно даже в ущерб временным характеристикам.

В состав комплекса МС0001 на базе мини-ЭВМ «Электроника 79» входит ОЗУ емкостью 128К слов с системой коррекции одиночных и обнаружения многократных ошибок на базе свертки Хемминга, выполненное на динамических ЗУПВ 565РУ1, для которых требуется три источника питания: +5 В, +12 В, -5 В. Данное ОЗУ выполнено на 11 печатных платах стандарта «Электроника 60.3». При работе под операционной системой RSX 11М и



RSX 11M+ эффективная работа более двух пользователей крайне затруднена из-за малого объема ОЗУ.

Выпускаемый промышленностью блок ОЗУ для мини-ЭВМ «Электроника 79» емкостью 2 Мбайта не лишен недостатков. Во-первых, данный блок по габаритам больше блока ОЗУ емкостью 128К слов — он выполнен на 14 платах стандарта «Электроника 60.3», следовательно, он более сложен в эксплуатации. Во-вторых, он выполнен на базе ЗУПВ 565РУ3, также требующих три источника питания. В-третьих, данный блок не является отдельным устройством, т. е. он поставляется только в составе комплексов.

Исходя из вышесказанного, были разработаны и изготовлены устройства оперативной памяти, позволившие решить некоторые проблемы обеспечения микро- и мини-машин памятью требуемой надежности и объема, адекватными решаемым в институте задачам автоматизации.

Для микроЭВМ «Электроника 60» было изготовлено ОЗУ емкостью 32К слов с системой коррекции одиночных и обнаружения многократных ошибок на базе свертки Хемминга в стандарте «Электроника 60.1».

По сравнению с изготавливаемыми промышленностью платами ЗУ типа П3 и П5 данная разработка обладает рядом преимуществ:

а) эквивалентный объем ЗУ достигается при использовании двух плат П3, которые лишены какого-либо контроля достоверности хранимой информации;

б) для плат П5, осуществляющих контроль по четности на каждый байт, в «Электронике 60» не предусмотрено механизма обнаружения ошибки четности. Даже если бы он и существовал, то для ответственных задач, решаемых при помощи «Электроники 60», факт сбоя в оперативной памяти, обнаруженного при помощи контроля четности столь же фатален, как и факт незарегистрированного сбоя.

В таких условиях спасает только исправление, как минимум, одиночных ошибок.

Для мини-ЭВМ «Электроника 79» создано ОЗУ емкостью до 4 Мбайт с кодом Хемминга, выполненное на 5 платах стандарта «Электроника 60.3».

При выполнении обеих разработок использовались микросхемы динамической памяти 565РУ5, а в ОЗУ для «Электроника 79» для создания системы коррекции и обнаружения ошибок использовались микросхемы 555ВЖ1.

В данной работе описан блок оперативной памяти для микроЭВМ «Электроника 60» и МС1212.02, емкостью 56К байт с коррекцией одиночных и обнаружением двойных ошибок, реализованный на базе ИС динамических ЗУПВ 64К.

### 1.1 Блок — схема оперативной памяти

Для 16 разрядной шины ввода/вывода «Электроники 60» построена оперативная память с байтовой внутренней организацией, при которой полное слово занимает 2 соседних байта. Каждый информационный байт дополняется 5 контрольными разрядами кодов Хемминга. Такая организация памяти позволяет использовать полностью объем ИС ЗУПВ 64К, обеспечивает значительную избыточность кодирования (на 16 информационных разрядов 10 контрольных), а, следовательно, обеспечивает целостность хранящейся информации и простоту модификации байта в полном слове (операция «чтение — модификация — запись байта»). К недостаткам такой организации следует отнести удлинение цикла обращения к полному 16-разрядному слову на 10—15%. Но поскольку словная организация не использует полностью объем ИС ЗУПВ 64К, а размер системы из 23 (32) К слов памяти нерационально делать больше одиночной платы, то байтовая организация является наиболее оптимальной с точки зрения схемотехнических затрат.

Блок-схема оперативной памяти представлена на рис. 1.

Если выполнение операции записи в байтовое ЗУ достаточно просто организовать, то для реализации чтения полного 16 разрядного слова уже требуется буферный регистр выходных данных, а для обеспечения адресации динамического ЗУ во время операции «чтение — модификация — запись» — буферный регистр адреса.

Особенностью данной разработки является совмещение функций этих двух регистров в одном 16 разрядном регистре/мультиплексоре (531ИР20).

Все управляющие сигналы в схеме, а именно :

- управление направлением передачи канальных приемо-передатчиков;
- выбор источника входа буферного регистра;
- управление входами (S) и выходами (CS) мультиплексора данных;



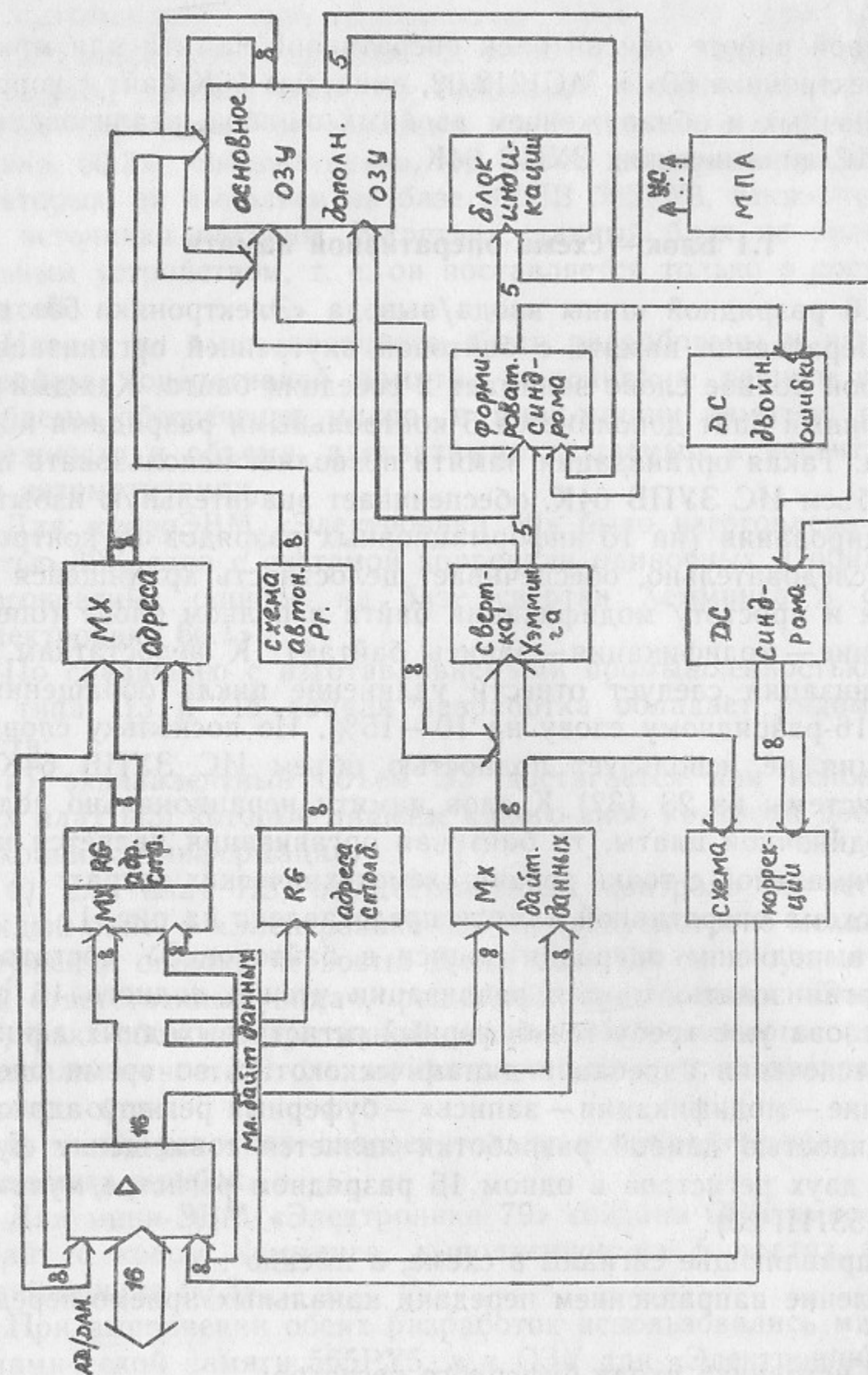


Рис. 1.

- управление входами и выходами мультиплексора адреса;
- разрешение дешифратора ошибок;
- управление выбором схемы автономной регенерации;
- непосредственное управление накопителями ОЗУ (стробы адреса строки RAS, стробы адреса столбца CAS, управление записью WE);

формируются микропрограммным автоматом (см. рис. 2), выполненным с использованием принципа горизонтального микропрограммирования. 17-разрядная микрокоманда, выбираемая из ПЗУ, содержит 5 разрядный адрес следующей микрокоманды, запоминаемый в регистре микроадреса. Он используется при выполнении безусловных переходов. Внешние признаки, буферизируемые регистром входных условий, являются адресом для ПЗУ ветвления. Микрокоманда, разрешающая ветвление по внешним условиям, стробирует это ПЗУ, и его выходы маскируют определенные разряды поля следующего микроадреса, что приводит к переходу микропрограммного автомата на нужную ветвь микропрограммы.

Для контроля информации использован код Хемминга. (таб. 1)

Таблица 1

Номер контрольного разряда	Сумма по модулю 2 информационных разрядов
1	0, 1, 2, 3, 7
2	2, 5, 6, 7
3	1, 2, 3, 4, 5
4	0, 3, 4, 5, 6
5	0, 1, 4, 6, 7

Ошибка при чтении информации дешифрируется блоком коррекции. Коррекция ошибки происходит, если:

- отказ не является некорректируемым;
- ошибка была в информационном, а не в контрольном разряде;

Сбой в контрольном разряде не влияет на выходные данные памяти, поэтому коррекция контрольных разрядов не происходит. Ошибочный информационный бит исправляется инвертированием. В случае двойной (некорректируемой) ошибки схема управления блокирует выдачу сигнала СИП на общую шину, вызывая тем самым прерывание по вектору 4.

Большая плотность корпусов на плате не позволила заложить



возможность тестирования «дополнительного ЗУ» (контрольных разрядов). С целью упрощения ремонта на плате предусмотрена индикация синдрома (двоичного номера разряда, в котором произошла ошибка) и сигнала двойной ошибки. Записанный в регистр синдром сохраняется там до появления новой ошибки или сигнала КСБРОС. На время ремонта возможно отключение коррекции и проверка основного ЗУ обычными тестами.

## 1.2. Режимы работы устройства

Режимы работы устройства представлены алгоритмом рис. 3 и описаны ниже.

### 1.2.1. Запись слова

Если в память записывается 16-разрядное слово, то адрес обращения запоминается в буферном регистре, функционально разделенном на 2 половины:

- 1) буфер адреса строки: хранит 8 произвольных разрядов адреса, кроме нулевого;
- 2) буфер адреса столбца: хранит остальные 8 разрядов адреса, включая нулевой.

Записываемые данные не требуют буферизации, они пропускаются приемо-передатчиками на входы мультиплексора данных (байтов).

Мультиплексор адреса устанавливает на адресные линии ОЗУ адрес строки под стробом RAS, после чего в страничном режиме (не меняя адреса строки) последовательно записываются сначала младший байт данных с контрольными разрядами (при активном стробе CAS0 мультиплексор подставляет уже адрес столбца под стробом WE0). Затем старший байт данных со своими контрольными разрядами (при активном стробе WE1 мультиплексор под стробом CAS1 устанавливает адрес столбца, с измененным микропрограммно (с 0 на 1) нулевым разрядом).

При записи байта нулевой разряд адреса определяет какой из байтов записывается и используется для управления выбором направления в мультиплексоре данных.

### 1.2.2. Чтение слова

Пути адреса в этой операции такие же, как и в операции записи. Рассмотрим пути данных.

Из основного ЗУ считывается сначала всегда младший байт

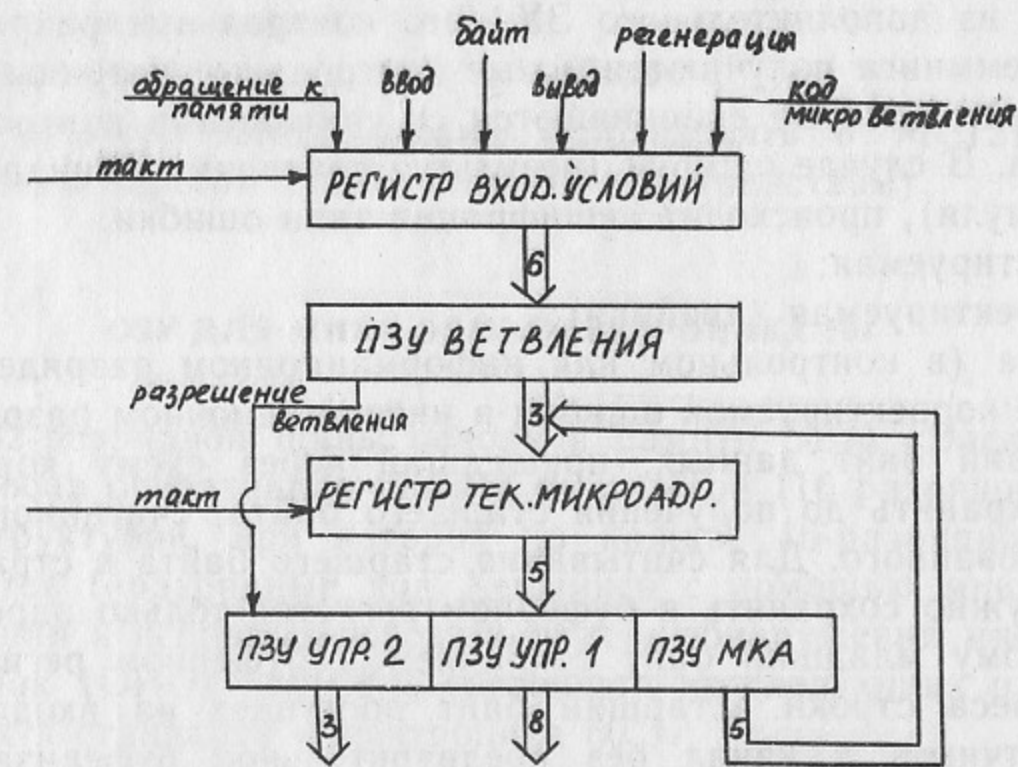


Рис. 2.

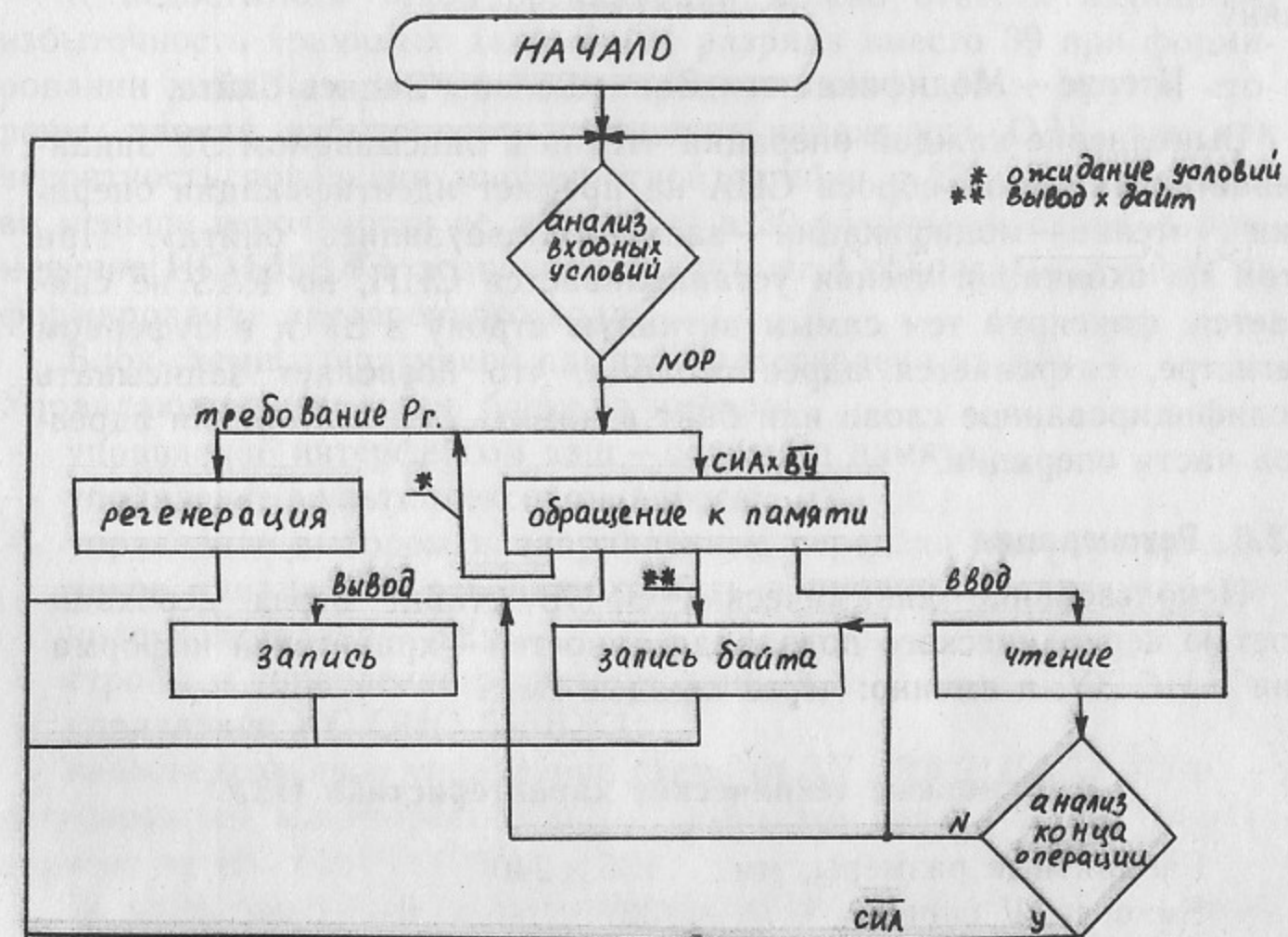


Рис. 3.



данных и из дополнительного ЗУ—его контрольные разряды. На свертке Хемминга получают новые контрольные разряды на считанный байт, которые сравниваются со считанными контрольными разрядами. В случае ошибки (результат сравнения—синдром—отличен от нуля), происходит дешифрация типа ошибки:

- корректируемая;
  - некорректируемая (двойная);
- и ее места (в контрольном или информационном разряде) и исправление корректируемой ошибки в информационном разряде.

Младший байт данных, прошедший через схему коррекции, нужно сохранить до получения старшего байта, считанного и откорректированного. Для считывания старшего байта в страничном режиме нужно сохранять в буферном регистре только адрес столбца, поэтому младший байт сохраняем в буферном регистре по месту адреса строки. Старший байт поступает на входы приемо-передатчиков в канал без предварительной буферизации. В случае обнаружения некорректируемой ошибки в любом из байтов, операция будет окончена с блокировкой сигнала СИП на общую шину.

Чтение—Модификация—Запись слова/Запись байта.

Выполнение каждой операции чтения в описываемом ЗУ заканчивается анализом сброса СИА на предмет идентификации операции «чтение—модификация—запись слова/запись байта». При этом по окончании чтения устанавливается СИП, но RAS не снимается, фиксируя тем самым активную строку в ЗУ и в буферном регистре, сохраняется адрес столбца, что позволяет записывать модифицированное слово или байт в память без повторения адресной части операции.

### 1.2.3. Регенерация

Использование динамических ЗУПВ ставит перед необходимостью периодического подзаряда емкостей—хранителей информации в ИС ЗУ, а именно: через каждые 2мс.

### 1.3. Основные технические характеристики ОЗУ

Габаритные размеры, мм	135×240
Емкость, К слов	32
Потребляемый ток от источника 5 В, А	2.1

Длительность цикла обращения к памяти, мкс не более 1

Разработанную плату можно использовать в МС1211 с ее 18-разрядным адресом (128К-словным пространством).

### ОЗУ ДЛЯ МИНИ-ЭВМ «ЭЛЕКТРОНИКА 79»

Для 32-разрядной шины основной памяти ЭВМ «Электроника 79» построена оперативная память со словной (16 разрядов) внутренней структурой, при которой на каждое 16-разрядное слово формируется 6-разрядный код Хемминга с помощью микросхемы обнаружения и исправления одиночных и обнаружения многократных ошибок (ОИО) 555ВЖ1, состоящая из следующих плат, выполненных в стандарте «Электроника 60.3»:

- 1) контроллер ЗУ;
- 2) до 4 плат ЗУ, емкостью по 1М байт.

К недостаткам такой организации можно отнести излишнюю избыточность хранимых данных (44 разряда вместо 39 при формировании кода Хемминга на 32-разрядное слово). Но с другой стороны, данная избыточность повышает надежность ОЗУ, так как вероятность появления многократной ошибки в 22-разрядном слове меньше вероятности ее появления в 39-разрядном слове, а применение ИС 555ВЖ1 позволило значительно сократить затраты на формирование проверочного кода.

Блок-схема оперативной памяти представлена на рис. 4.

Управляющие сигналы в блоке, а именно:

- управление интерфейсом кэш—основная память;
- управление мультиплексором адреса;
- управление выбором и направлением передачи приемо-передатчиков канала кэш-основная память и приемо-передатчиков канала контроллер—ЗУ;
- стробы и управление регистром данных;
- управление ИС ОИО 555ВЖ1;
- непосредственное управление схемами ЗУ (RAS, CAS, WE); формируются микропрограммным автоматом (см. рис. 5), выполненным на ИС 556РТ1 (РТ2).

В зависимости от состояния регистра адреса и управления МПА может производить 3 операции:

- чтение;



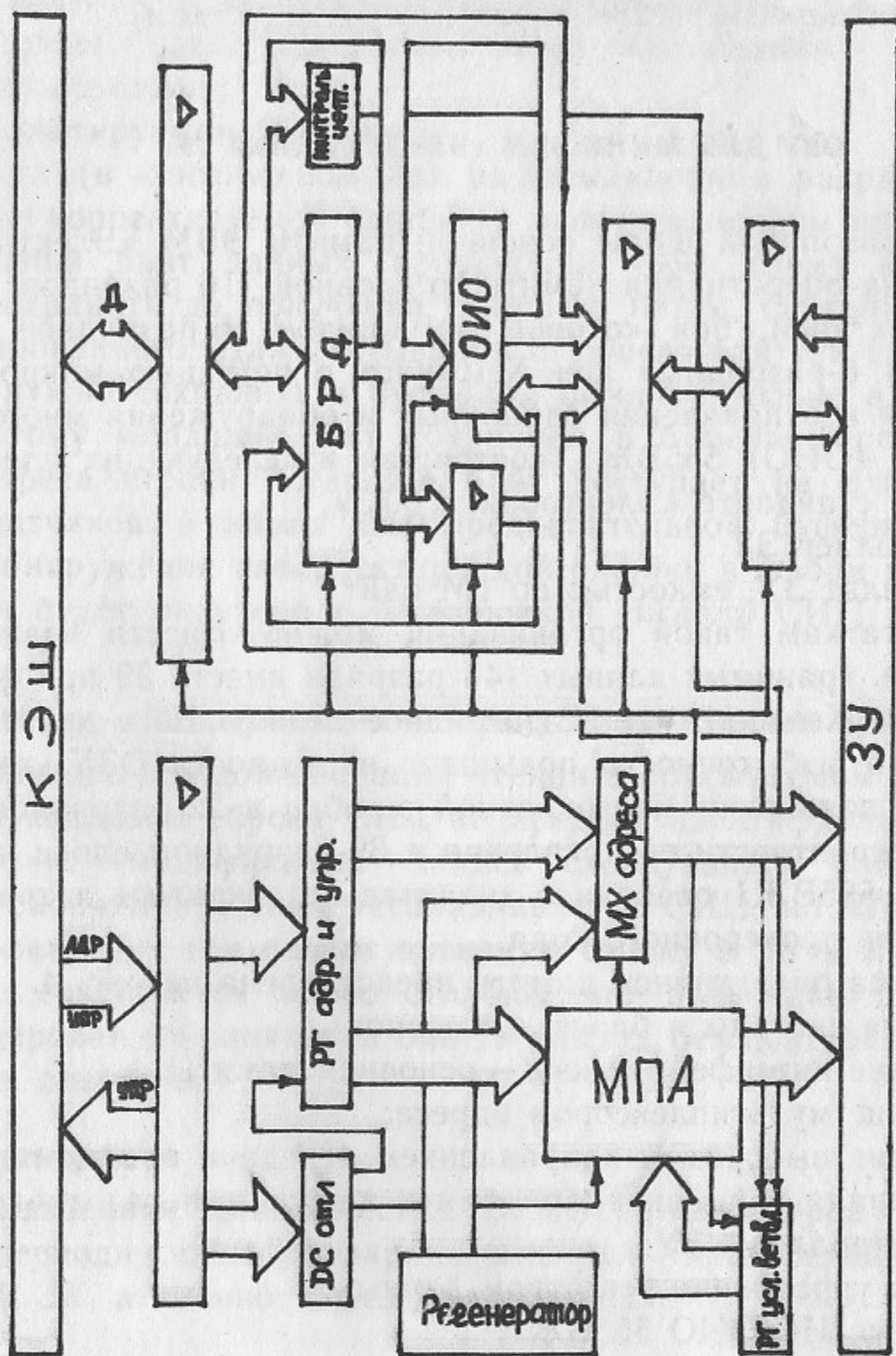


Рис. 4.

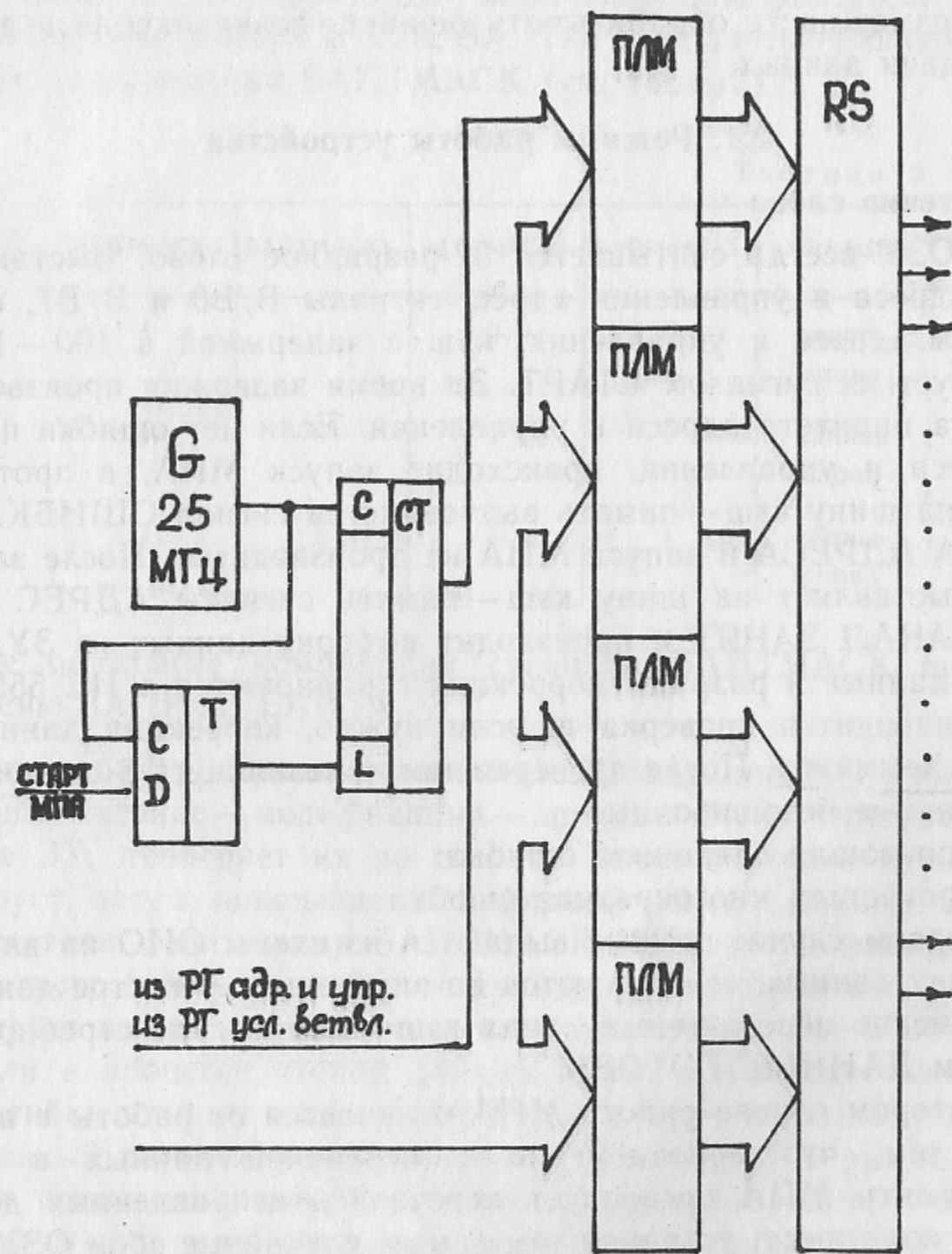


Рис. 5.



- запись;
- запись байта;

В зависимости от состояния регистра условных ветвлений МПА имеет возможность обрабатывать ошибки, возникающие в процессе передачи данных.

## 2.1. Режимы работы устройства

### 2.1.1. Чтение слова

Из ОЗУ всегда считывается 32-разрядное слово. Выставив на шины адреса и управления адрес, сигналы В/В0 и В/В1, сигнал паритета адреса и управления, кэш с задержкой в 100—150 нс стробирует их сигналом СТАРТ. За время задержки производится проверка паритета адреса и управления. Если нет ошибки паритета адреса и управления, происходит запуск МПА, в противном случае на шину кэш—память выставляется сигнал ОШИБКА ПАРИТЕТА АДРЕСА и запуск МПА не производится. После запуска МПА выставляет на шину кэш—память сигналы АДРЕС ПРИНЯТ, КАНАЛ ЗАНЯТ и производит выборку данных из ЗУ. Выбранные данные и разряды коррекции стробируются в ИС 555ВЖ1, где производится проверка и, если нужно, коррекция данных по свертке Хемминга. После проверки могут возникнуть 3 случая:

- данные безошибочны;
- произошла одиночная ошибка;
- произошла многократная ошибка.

В первом случае данные выдаются из схемы ОИО на внутреннюю шину данных, стробируются во внутреннем регистре данных и одновременно передаются в канал кэш—память, где стробируются сигналом ДАННЫЕ ГОТОВЫ.

Во втором случае работа МПА отличается от работы в первом случае тем, что одновременно с передачей данных в канал кэш—память МПА организует перезапись исправленных данных по тому же адресу, устраняя тем самым случайные сбои ОЗУ.

В третьем случае при передаче данных в канал кэш—память производится инвертирование сигналов паритета данных, что, в свою очередь, вызывает прерывание процессора по вектору 114.

### 2.1.2 Запись

При записи в ОЗУ кэш выставляет на шины адреса и управления адрес, сигналы В/В0 и В/В1, сигналы БАЙТМАСК, определяющие, какой байт данных нужно записать, сигнал паритета адреса

и управления, на шины данных выставляет данные с битом четности на каждый байт и сигналом СТАРТ запускает МПА. В режиме записи МПА производит либо операцию ЗАПИСЬ БАЙТА, либо операцию ЗАПИСЬ СЛОВА. Тип выполняемой операции определяется сигналами БАЙТМАСК (см. табл. 2).

Таблица 2

БАЙТМАСК0	БАЙТМАСК1	БАЙТМАСК2	БАЙТМАСК3	ОПЕРАЦИЯ
1	1	0	0	запись слова
0	0	1	1	запись слова
1	1	1	1	запись слова

Все остальные комбинации сигналов БАЙТМАСК вызывают операцию ЗАПИСЬ БАЙТА.

**Запись байта.** При выполнении этой операции МПА выполняет функцию «чтение—модификация—запись». МПА считывает данные из ЗУ, проверяет их по свертке Хемминга, если нужно, корректирует, затем записывает в буферный регистр данных. Затем, в соответствии с сигналами БАЙТМАСК МПА записывает в буферный регистр данных данные, поступившие из канала кэш—память, формирует новый код Хемминга и записывает данные в ЗУ.

Если в процессе чтения данных из ЗУ произойдет многократная ошибка данных, либо данные, пришедшие из кэша, имеют неправильный паритет, то при записи данных в ЗУ в разрядах коррекции происходит инвертирование четырех разрядов, что приводит при чтении этого слова к многократной ошибке данных.

**Запись слова.** При выполнении этой операции МПА записывает принятые данные в буферный регистр данных, производит формирование кода Хемминга и записывает данные в ЗУ в соответствии с сигналами БАЙТМАСК.

### 2.1.3. Регенерация

Для удобства настройки и простоты обслуживания регенератор выполнен отдельным блоком.



Регенератор выполнен на ИС 155АГЗ и имеет рабочую частоту порядка 70 кГц.

При возникновении запроса на регенерацию регенератор, если происходит цикл обращения к памяти, ждет его окончания, после чего запрещает запуск МПА, производит регенерацию и разрешает обращение к памяти.

#### 2.1.4. Отладочный режим

Для отладки и диагностики ОЗУ имеется три режима отладки:

- режим генерации ошибки паритета адреса и управления;
- режим проверки информационных разрядов;
- режим проверки разрядов коррекции.

Режим генерации ошибки паритета адреса и управления проверяет работу схемы паритета и логики работы сигнала ОШИБКА ПАРИТЕТА АДРЕСА.

Режим проверки информационных разрядов запрещает работу схемы коррекции, т. е. при работе в этом режиме не производится анализ данных.

Режим проверки разрядов коррекции позволяет проверить достоверность информации, хранящейся в разрядах коррекции. Для этого происходит замещение разрядов коррекции шестью младшими информационными битами.

#### 2.2 Основные технические характеристики ОЗУ

Габаритные размеры, мм	2—5 плат 240×420
Емкость, М байт	1—4
Потребляемый ток от источника +5 В, А	8—20
Длительность цикла обращения к памяти, мкс	
чтение	0.8
запись	0.8
запись байта	1.2

*А.В. Быков, С.В. Максимова, В.С. Потеряев*

**Оперативные запоминающие устройства  
для ЭВМ «Электроника 60» и «Электроника 79»**

Ответственный за выпуск С.Г.Попов

Работа поступила 30 декабря 1987 г.  
Подписано в печать 21 января 1988 г. МН 08048  
Формат бумаги 60×90 1/16 Объем 1,1 печ.л., 0,9 уч.-изд.л.  
Тираж 180 экз. Бесплатно. Заказ № 8

*Набрано в автоматизированной системе на базе фото-наборного автомата ФА1000 и ЭВМ «Электроника» и отпечатано на ротапинтере Института ядерной физики СО АН СССР,  
Новосибирск, 630090, пр. академика Лаврентьева, 11.*