

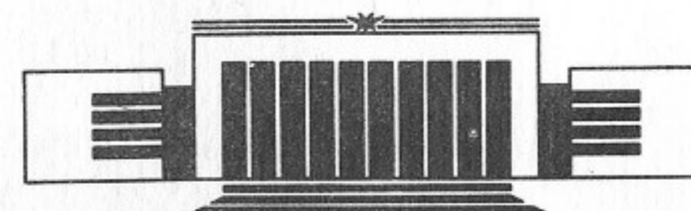


26
ИНСТИТУТ ЯДЕРНОЙ ФИЗИКИ СО АН СССР

**УНИВЕРСАЛЬНЫЙ АРИФМЕТИЧЕСКИЙ
ПРОЦЕССОР АП-32**

2. Центральный процессор, память

ПРЕПРИНТ 89-176



НОВОСИБИРСК

Универсальный арифметический
процессор АП-32

2. Центральный процессор, память

*Г.А. Аксенов, В.Я. Сазанский,
И.Б. Стенина, А.Г. Чертовских*

Институт ядерной физики
630090, Новосибирск 90, СССР

АННОТАЦИЯ

Описаны ЦП, память быстродействующего универсального арифметического процессора АП-32, разработанного в ИЯФ СО АН для применения в системах обработки физической информации.

4. ЦЕНТРАЛЬНЫЙ ПРОЦЕССОР АП-32

Поскольку архитектура АП-32 [1] основана на модульном принципе построения вычислительных систем, то все предусмотренные системой команд арифметико-логические действия над операндами выполняются отдельными функциональными модулями и большинство из них — центральным процессором (ЦП). Вместе с памятью данных (ОЗУД) ЦП образует функционально законченную ЭВМ в минимальном комплекте (без канала ввода/вывода и процессора чисел с плавающей запятой).

4.1. Структура ЦП

Структурная схема ЦП представлена на рис. 4.1. Он состоит из процессора целых чисел (ПЦЧ), блока управления (БУ) и памяти программ (ОЗУП).

Системой шин данных (D), флагов (FL), команд (CMD), синхросигналов (S) и т. п. ПЦЧ связан с каналом ввода/вывода и процессором чисел с плавающей запятой (на рис. 4.1 не показаны).

В ЦП исполняются все арифметико-логические операции над 32-разрядными числами с фиксированной запятой, хранящимися в ОЗУД или I-регистрах ПЦЧ.

Коды команд хранятся в ОЗУП, откуда они извлекаются БУ в той последовательности, которая задана алгоритмом обработки. Загрузка программы в ОЗУП производится по шине D системой

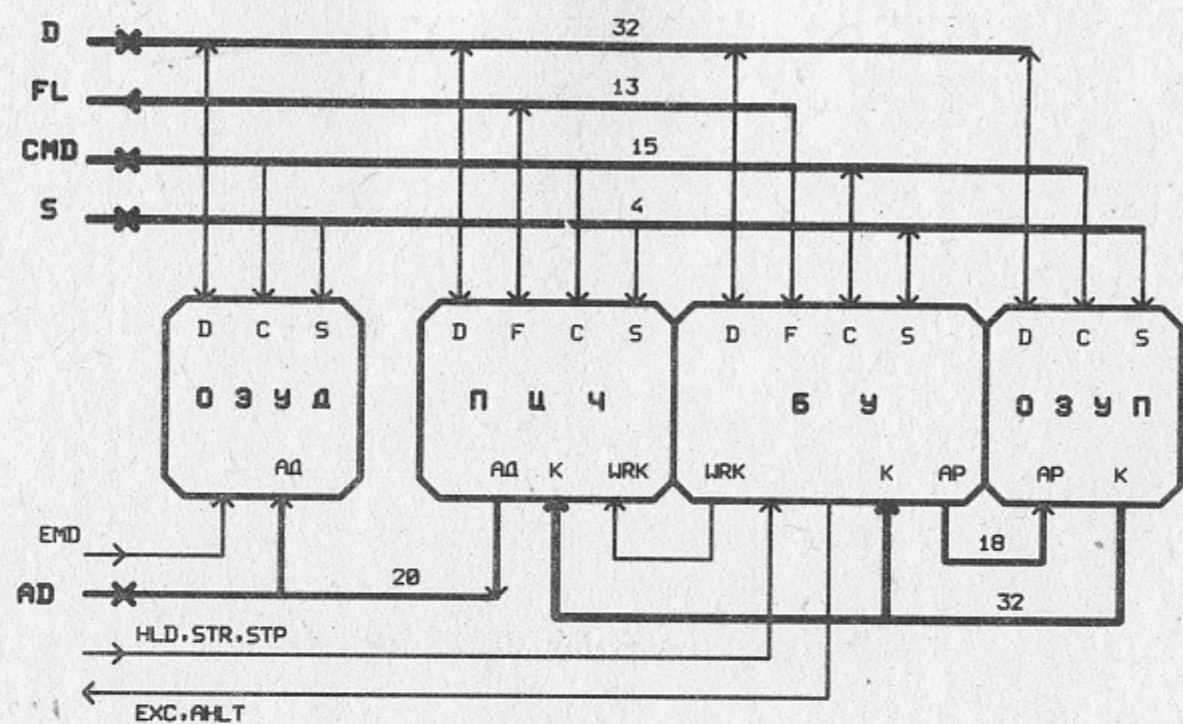


Рис. 4.1. Структурная схема ЦП АП-32.

управления каналом В/В АП-32. Из ОЗУП команды по шине К передаются БУ и ПЦЧ, а по шине CMD — модулям процессора чисел с плавающей запятой (ППЗ) и интерфейсу (ИНТ) ЭВМ «накачки» (ЭВМН).

Поскольку вся оперативная память АП-32 разделена на две части (ОЗУД и ОЗУП), то нет необходимости различать поток данных от потока команд, что позволяет, во-первых, совместить время обработки команд и данных и, во-вторых, возложить на БУ только задачи организации вычислительного процесса, обеспечения режимов ввода-вывода, запуска и останова процессора АП-32.

Команды АП-32 по существу являются аналогами микрокоманд традиционных ЭВМ: все они имеют одинаковую длину (32 разряда), фиксированные поля кода операций и большинство из них выполняется за одинаковое время. Это устраняет неравномерность потока команд, позволяет сильно упростить их декодирование, облегчает конвейерную обработку. Упрощается также структура устройства управления, его функции теперь сводятся почти исключительно к декодированию. При этом «переход» от языка высокого уровня к аппаратуре осуществляется один раз (во время компиляции программы) без промежуточной интерпретации команд микропрограммным устройством.

4.2. Блок управления и память программ

4.2.1. Режимы работы БУ

БУ обеспечивает четыре режима работы АП-32: останов («ЗАХВ»), автономная работа («АВТ»), пуск («ИНИЦ») программы на одну команду в режиме пошагового исполнения («ШАГ»).

Установка указанных режимов осуществляется ИНТ ЭВМН управляющими сигналами HLD, STP, STR (табл. 4.1). БУ всегда вырабатывает сигнал «подключен» (WRK=0) или «отключен» (WRK=1). Последний, в свою очередь, устанавливает режим работы ПЦЧ.

Таблица 4.1

| Обозначение | HLD | STP | STR | Сигнал WRK |
|-------------|-----|-----|-----|------------|
| «ЗАХВ» | 1 | 0 | 0 | 1 |
| «АВТ» | 0 | 0 | 0 | 0 |
| «ШАГ» | 0 | 1 | 0 | 0 |
| «ИНИЦ» | 0 | 1 | 1 | 0 |

В режиме «ЗАХВ» управление АП-32 передано ИНТ, а БУ, становясь обычным, управляемым от ЭВМН модулем, из источника команд (CMD) превращается в их приемник. В этом режиме некоторые узлы БУ (счетчик команд, регистр связи) доступны ЭВМН для обмена данными, что будет обсуждаться позднее.

4.2.2. Структурная схема БУ

БУ состоит из следующих основных узлов (рис. 4.2):

- генератор состояний (ГС), предназначен для формирования временной диаграммы командного цикла (S) в зависимости от типа исполняемой команды;
- регистр команд (РК), для хранения команды, принятой по шине К от ОЗУП;
- дешифратор команд (ДК);
- счетчик команд (СК), предназначен для адресации ОЗУП (по шине AP), обеспечивает либо последовательную выборку ячеек памяти (линейные участки программы), либо передачу управления на определенную ячейку (ветвление программы);

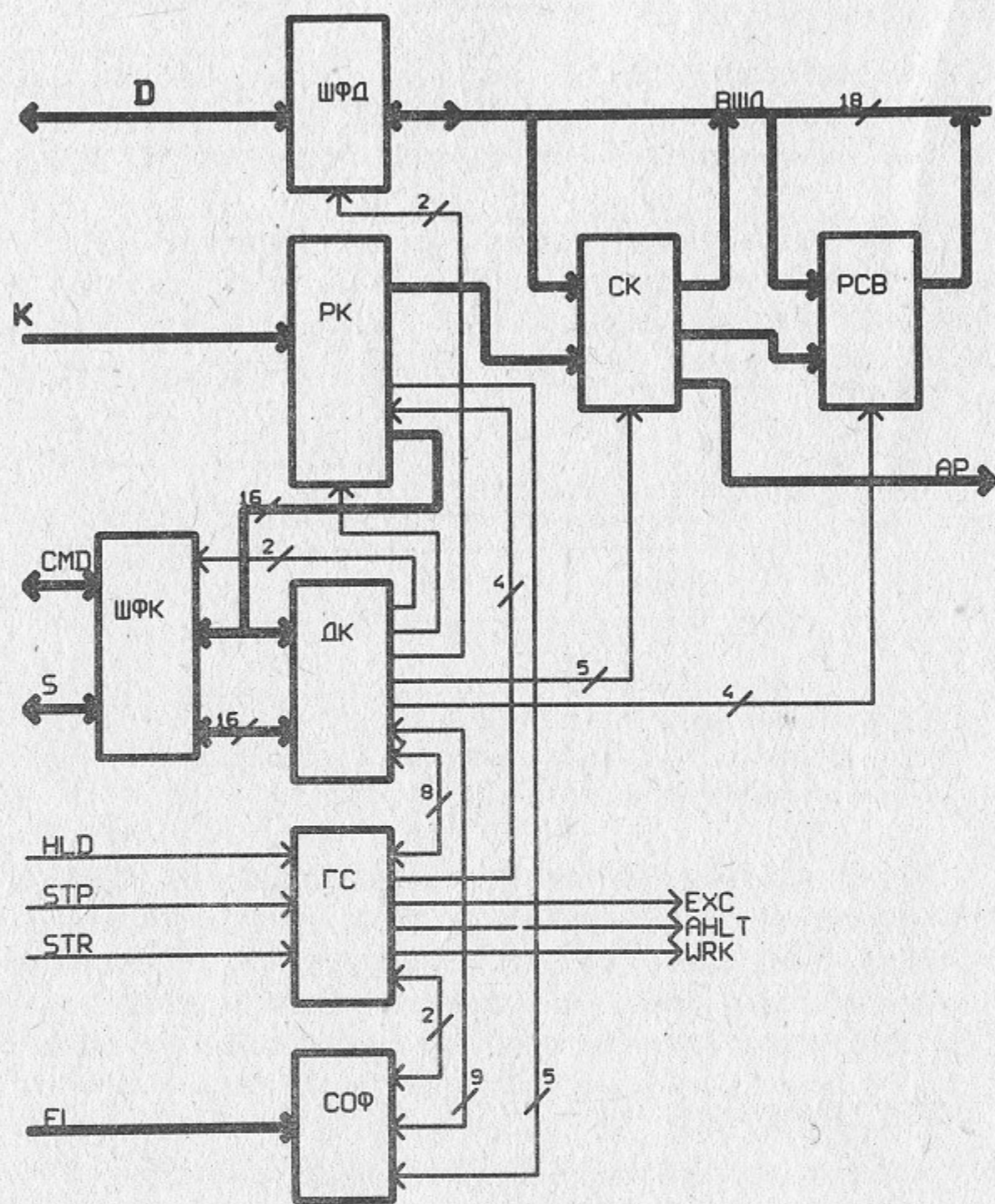


Рис. 4.2. Структурная схема БУ.

- шинный формирователь (ШФД), предназначен для подключения внутренней шины данных (ВШД) к шине данных (D) магистрали АП-32;
- регистр связи (РСВ), используется для хранения адреса возврата при обращении к подпрограмме или как буферный регистр для записи адреса ОЗУП в СК;
- схема обработки значений флагов (СОФ), предназначена для формирования условия перехода в командах типа JMP <CC>, <ADDR> в зависимости от состояния соответствующего флага (FL).

4.2.3. БУ в режиме «АВТ»

В режиме «АВТ» БУ инициализирует ОЗУП, последовательно извлекая из нее одну команду за другой до тех пор, пока ИНТ не установит режим »ЗАХВ». Каждую текущую команду ГС сопровождает генерацией четырех синхросигналов (S).

ГС формирует два вида временных диаграмм, отличающихся друг от друга только длительностью командного цикла: «длинная» (133 нс) для операций обращения к ОЗУД и «короткая» (100 нс) для всех остальных команд.

В течение одного командного цикла БУ выполняет следующую последовательность действий:

- 1) генерация синхросигналов на шине S;
- 2) запись текущей команды K в РК;
- 3) формирование кода команды на шине CMD (для модулей ППЗ и ИНТ);
- 4) дешифрация команды;
- 5) модификация длительности временной диаграммы цикла, если в результате декодирования оказалось, что текущая команда — команда загрузки (выгрузки) ОЗУД;
- 6) запись в РСВ значения (СК + 1), запись в СК нового адреса ОЗУП (следующего за текущим или адреса перехода);
- 7) останов АП-32 и формирование запроса на прерывание ЭВМН (сигналом АНЛТ) при установленном модулями флаге FA («ошибка») или при исполнении команды HALT.

На рис. 4.3 представлена диаграмма работы БУ и ОЗУП в режиме «АВТ». Сигнал записи текущей команды в РК формируется в БУ с помощью синхросигнала S1 командного цикла. Затем внутренним синхросигналом в РСВ записывается значение (СК + 1), формируемое специальным быстродействующим сумма-

тором, а в СК—новый адрес ОЗУП для выборки следующей команды. Запись в РСВ производится только по команде CALL.

Сигнал ДК, вырабатываемый дешифратором команд, устанавливает режим работы ГС. Если текущая команда—команда обращения к ОЗУД, то ГС, не меняя вид диаграммы, удлиняет командный цикл на 33 нс. Как показано на рис. 4.3, выборка новой команды из ОЗУП заканчивается к концу текущего командного цикла.

Системой команд АП-32 предусмотрена возможность обмена данными в указанном режиме между регистром связи (РСВ) и ОЗУД (по шине D). Для этого используется команда типа F-регистр—ОЗУД. Кроме того, командой RETURN обеспечивается загрузка СК содержимым РСВ. Это позволяет организовывать переходы по любому, заранее вычисленному, адресу, если предварительно записать его в РСВ из ОЗУД и использовать затем команду RETURN.

Обмен данными между СК и ОЗУД в этом режиме не предусмотрен.

В режиме «ИНИЦ» действия БУ аналогичны выше описанным. Отличие заключается лишь в том, что всякий раз, исполнив ини-

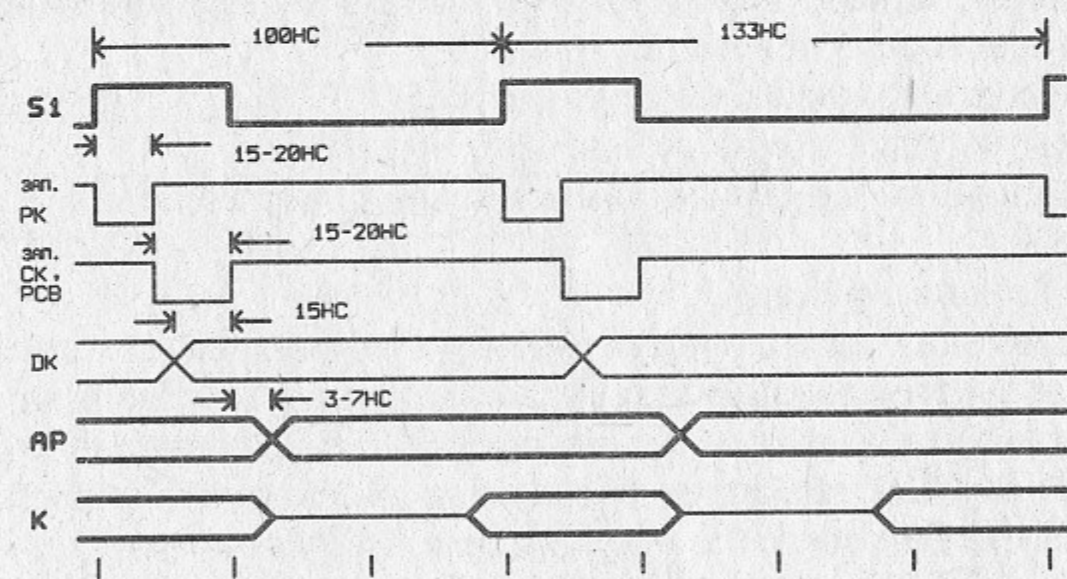


Рис. 4.3. Временная диаграмма работы БУ и ОЗУП в режиме «АВТ».

циализированную интерфейсом ЭВМН команду, БУ «отвечает» ИНТ сигналом ЕХС.

4.2.4. БУ в режиме «ЗАХВ»

В режиме «ЗАХВ» БУ из активного состояния переходит в пассивное. Со стороны магистрали АП-32 он представляется как два

F-регистра (СК и РСВ), управляемые (чтение/запись) от ЭВМН через ИНТ по шинам СМД и S.

Обращение к РСВ производится только для тестирования аппаратуры процессора АП-32. Счетчик команд используется в этом режиме в следующих случаях.

1. Загрузка программы в ОЗУП от ЭВМН. Запись (чтение) производится как в режиме прямого доступа к памяти ЭВМН, так и в режиме обращения к программному каналу. В обоих случаях СК работает в инкрементном режиме.
2. Запись в СК стартового адреса программы, чтение адреса останова.
3. Чтение исполнительных адресов ОЗУП для передачи их в ЭВМН при пошаговом исполнении программы.

4.2.5. Система команд БУ

В БУ исполняются только команды управления программой, обмена данными между его F-регистрами и ОЗУД, ИНТ, а также некоторые специальные команды.

Группа команд управления исполняется только в режимах «АВТ», «ИНИЦ» и предназначена для определения порядка, в котором должны выполняться команды других типов. К ней относятся следующие команды:

- HALT—останов программы АП-32 с запросом на прерывание ЭВМН;
 - JUMP <ADDR>—безусловная передача управления по адресу <ADDR>;
 - JUMP <CC>, <ADDR>—передача управления по условию <CC>;
 - CALL <ADDR>—обращение к подпрограмме, адрес возврата запоминается в РСВ;
 - RETURN—передача содержимого РСВ счетчику команд.
- Из перечисленного списка видно, что обращение к ОЗУП имеет место лишь в командах переходов или командах обращения к процедурам.

К группе специальных команд относятся:

- WAIT—передача управления команде, следующей за текущей, при установленном флаге WT;
- DFA—запрет запроса на прерывание ЭВМН по флагу FA (прерывания не будет и при исполнении команды HALT);
- EFA—разрешение на запрос прерывания ЭВМН по флагу FA.

При исполнении арифметических, логических команд, сдвига, операций пересылки данных (все они исполняются в ПЦЧ или ППЗ) в БУ формируется адрес следующей команды путем увеличения содержимого СК на единицу. При исполнении команд передачи управления по условию в СК записывается 18-разрядный адрес перехода из РК. Такими условиями являются признаки (флаги) результатов операций в ППЗ или ПЦЧ: «знак», «нуль», «переполнение» и т. д. Помимо этого, путем логических комбинаций значений упомянутых флагов в БУ формируется и ряд других условий: «больше», «меньше» и т. п.

4.2.6. Память программ

Современные вычислительные задачи требуют большого рабочего объема памяти. Его можно получить, используя микросхемы памяти динамического типа. Однако применение связано с рядом трудностей. Например, вследствие пониженной помехоустойчивости неразумно иметь большой объем динамической памяти, не используя логики коррекции ошибок. Применение же цепей коррекции приводит к увеличению длительности командного цикла, т. е. к снижению производительности процессора.

В АП-32 используются микросхемы быстродействующей памяти статического типа с временем выборки 35—40 нс. Такое быстродействие позволяет достигнуть длительности командного цикла, равной 100 нс, без применения быстродействующего буфера. По сравнению с динамической памятью статического типа упрощает многие схемотехнические решения (нет надобности в цепях коррекции ошибок, схемах регенерации).

ОЗУП объемом в 1 МБ предназначена только для хранения команд программы. Адресуемой единицей информации является 32-разрядное слово. Системой команд АП-32 не предусмотрены возможности модификации ячеек ОЗУП и пересылка данных между ею и ОЗУД. В этом смысле ОЗУП исполняет роль полупостоянного ЗУ.

В автономном режиме работы АП-32 ОЗУП доступна только БУ (по чтению), который управляет процессом выборки команд. В режиме «ЗАХВ» ОЗУП доступна только ЭВМН (как по чтению, так и по записи). Таким образом, модификация ячеек ОЗУП возможна только с помощью ЭВМН, что, естественно, необходимо для подготовки и отладки программ.

Адрес ОЗУП формируется в БУ счетчиком команд и передает-

ся по шине АР (рис. 4.1). При загрузке (выгрузке) ОЗУП кодами программы этот же счетчик используется в качестве ее адресного регистра.

ОЗУП собрана на микросхемах серии 132РУ6А (16К×1) и состоит из 4 плат объемом в 1/4 МБ каждая (64К команд).

4.2.7. Структурная схема памяти программ

Структурная схема ОЗУП представлена на рис. 4.4. Она состоит из следующих основных узлов.

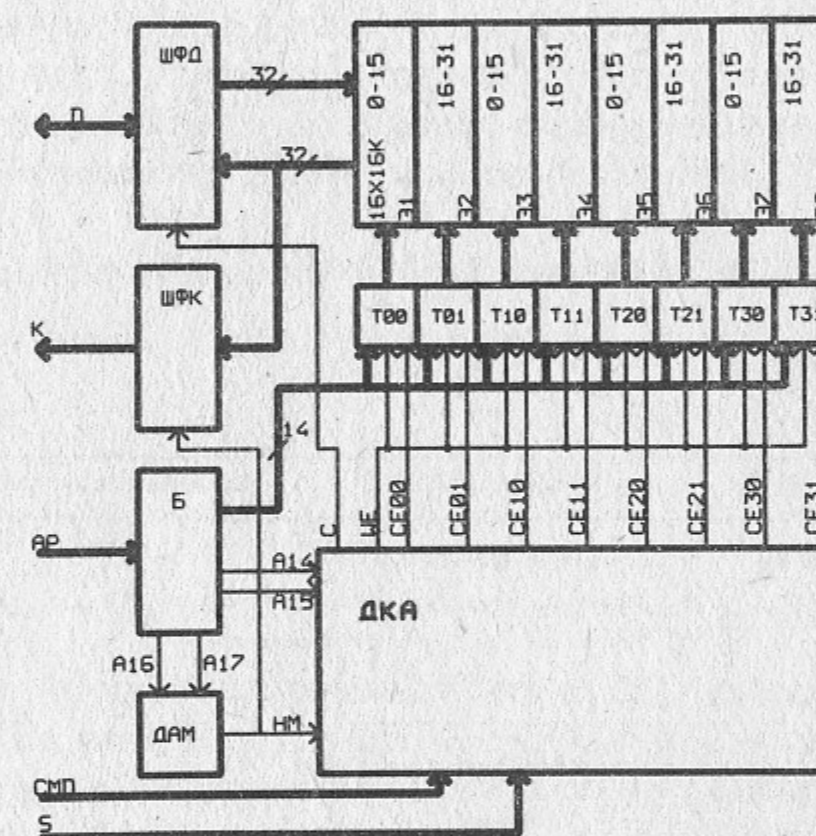


Рис. 4.4. Структурная схема ОЗУП.

ШФД—шинный формирователь данных. Предназначен для подключения (отключения) двух внутренних однонаправленных шин матрицы памяти к шине Д магистрали АП-32. Кроме того, ШФД преобразует уровень сигналов ТТЛ внутренних шин в уровень сигналов ЭСЛ.

ШФК—шинный формирователь команд (К). Обеспечивает подключение модуля памяти к шине К, если исполнительный адрес находится в адресном пространстве данного модуля, и преобразует уровни сигналов ТТЛ в уровни ЭСЛ.

ДКА—дешифратор команд и адреса. Предназначен для

дешифрации команд (СМД) чтения/записи ОЗУП в режиме «ЗАХВ» и управления матрицей памяти.

ДАМ — дешифратор адреса модуля.

Э — элемент матрицы памяти. Является структурной единицей модуля памяти объемом в 16К 16-разрядных ячеек.

Т — трансляторы уровней сигналов адреса, записи, выбора элемента.

Структура слова адреса (АР) состоит из трех частей: адрес модуля, адрес элемента, адрес слова в элементе.

Вся матрица памяти модуля реализована на 128 микросхемах. Она разбита на 8 элементов по 16 микросхем в каждом. Два элемента составляют полное 32-разрядное слово. Такое разбиение необходимо для уменьшения емкостной нагрузки на формирователь адреса (Т), импульсов записи (WE), сигнала выбора микросхемы (СЕ).

Как указано в табл. 4.2, ОЗУП работает в двух основных режимах.

Таблица 4.2

| Режим АП-32 | Режим ОЗУП | Информационные шины |
|-------------|----------------|---------------------|
| «АВТ» | Чтение | К |
| «ЗАХВ» | Чтение, запись | D |

По отношению к ОЗУП эти режимы отличаются не только способами инициализации, но и временными диаграммами.

В режиме «АВТ» ОЗУП инициализируется БУ адресом АР и синхросигналами S. На рис. 4.5 представлена временная диаграмма работы ОЗУП в этом режиме.

Стробирующий импульс СЕ (выбор микросхемы) формируется задержкой синхросигнала S1 на 10—12 нсек. Это необходимо для двух целей: надежного установления исполнительного адреса на входах микросхем и сохранения информации на шине К на время записи ее в РК.

В режиме «ЗАХВ» ОЗУП инициализируется не БУ, а ИНТ командами СМД и синхросигналами S. Адрес ОЗУП предварительно записывается в СК и в дальнейшем увеличивается на единицу при каждом обращении к памяти.

На рис. 4.6 представлена временная диаграмма работы ОЗУП в режимах чтения и записи («ЗАХВ»).

Выдача информации на шину D осуществляется с помощью

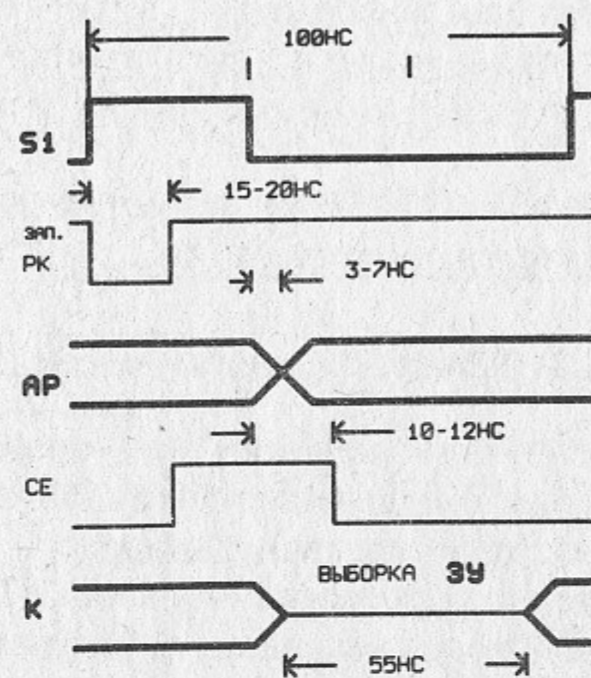


Рис. 4.5. Временная диаграмма ОЗУП в режиме «АВТ» (чтение).

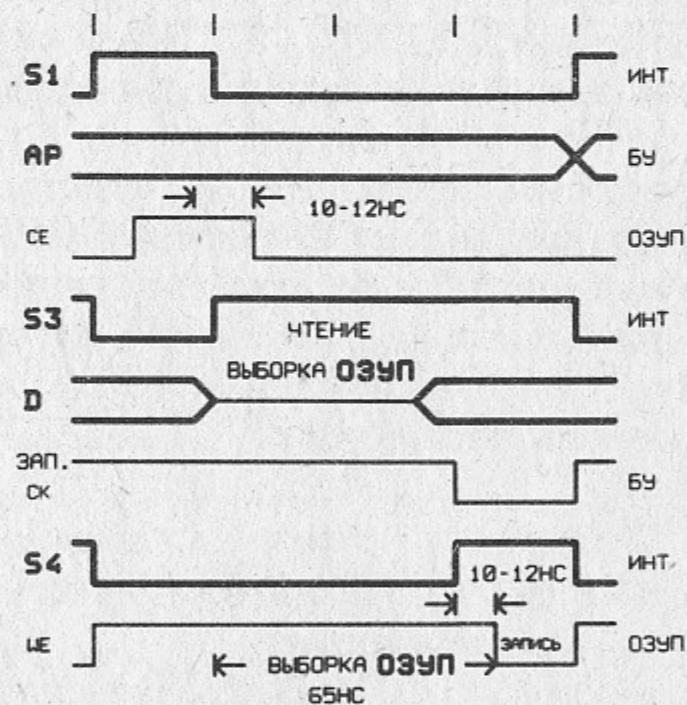


Рис. 4.6. Временная диаграмма ОЗУП в режимах чтения и записи («ЗАХВ»).

синхросигнала S3. Запись информации в регистр данных интерфейса (приемник) производится по отрицательному фронту синхросигнала S4. В этот же момент времени изменяется содержимое СК ($СК = :СК + 1$).

Запись информации в ОЗУП из регистра данных интерфейса (источник) осуществляется импульсом WE.

4.3. Процессор целых чисел

В ПЦЧ осуществляются операции над операндами, представленными двоичными числами с фиксированной запятой. Он также формирует физический адрес памяти данных.

Операнды хранятся в I-регистрах (РОН) ПЦЧ и могут быть словами (32 разряда) и полусловами. Арифметические операции выполняются с использованием дополнительных (модифицированных) кодов. Старший разряд слова (31-й) является знаковым разрядом, а 15-й — знаком полуслова.

Операции производятся как над словами, так и над полусловами. В случае, когда в РОН загружается операнд-полуслово, осуществляется так называемое «расширение» знака: полуслово записывается в младшую часть РОН'а, а в каждый разряд старшей его части заносится значение, соответствующее знаковому разряду операнда.

В режиме автономной работы АП-32 регистры ПЦЧ загружаются (выгружаются) операндами только из ОЗУД. Загрузка (выгрузка) их из других модулей не предусмотрена. Исключение составляет регистр данных интерфейса ЭВМН, который может обмениваться данными с РОН в режиме «ЗАХВ», что используется только для тестирования аппаратуры.

4.3.1. Структура ПЦЧ

Структурная схема ПЦЧ изображена на рис. 4.7.

Процессор целых чисел содержит:

- двухадресную память (ДАП), предназначенную для организации регистрового массива;
- арифметико-логическое устройство (АЛУ) для выполнения различных операций над числами, хранящимися в ДАП;
- сдвигатель (СДВ) операндов (влево, вправо) на 32 позиции;
- схему формирования адреса (СФА) памяти данных;
- схему формирования признаков результата (СФФ);

- регистр-дешифратор команд (РДК);
 - схему управления внутренними шинами данных (СУШ);
 - генератор внутреннего командного цикла (ГС).
- Кроме указанных, в ПЦЧ содержатся и другие необходимые узлы.

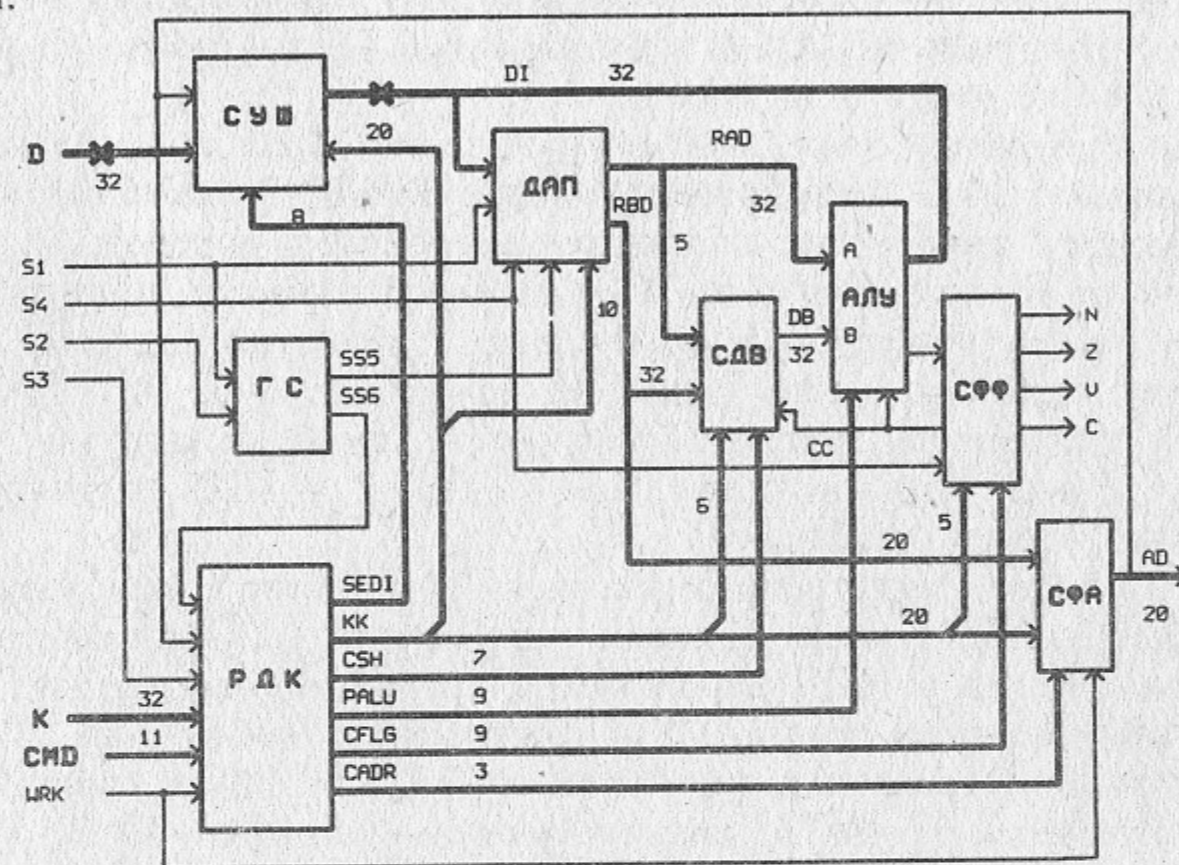


Рис. 4.7. Структурная схема ПЦЧ.

Управление режимами работы ПЦЧ осуществляет БУ сигналом WRK (табл. 4.3).

Таблица 4.3

| WRK | Состояние шины К | Состояние шины CMD | Состояние шины AD | Режим |
|-----|------------------|--------------------|-------------------|--------|
| 0 | подключ. | отключ. | подключ. | «АВТ» |
| 1 | отключ. | подключ. | отключ. | «ЗАХВ» |

Команда в ПЦЧ поступает от БУ или ИНТ либо по шине К («АВТ»), либо по шине CMD («ЗАХВ»). Она запоминается и дешифрируется в РДК и хранится в нем в течение всего командного цикла. Внутренний генератор состояний дополнительно к имеющимся четырем синхросигналам (S) вырабатывает еще два. Одним из них (SS5) команда записывается в РДК в самом начале командного цикла.

Информация из ОЗУД (слово, полуслово) направляется в

любой I-регистр по внутренней двунаправленной шине DI (в этом случае АЛУ освобождает шину DI).

При выгрузке I-регистра информация направляется на вход (А) АЛУ, через него поступает на шину DI и через СУШ передается в магистраль АП-32. В этом случае АЛУ настроено на передачу слова со входа А на выход.

Одновременно с передачей операндов (в обоих направлениях) с помощью СФА формируется адрес ОЗУД. В качестве СФА используется арифметико-логическое устройство, которое, в зависимости от режима адресации ОЗУД, либо суммирует содержимое I-регистра, играющего роль индексного, с базовым адресом, либо передает адресную часть непосредственно на шины AD (режим прямой адресации). Когда исполняются команды загрузки (выгрузки) F-регистров (модули ППЗ) из ОЗУД, в ПЦЧ формируются только адреса операндов.

В качестве регистрового массива (I-регистры) используется сверхбыстродействующая двухадресная память (ДАП) емкостью в 32 слова. Когда в ПЦЧ исполняются арифметико-логические операции или команды сдвига, СУШ отключается как от шин DI, так и от шин D. Передача информации от ДАП к АЛУ и сдвигателю осуществляется тремя однонаправленными шинами RAD, RBD, DB.

АЛУ может выполнять различные логические операции, а также арифметические действия с двумя переменными. В качестве переменных используются данные шин RAD и сдвигателя (DB).

Если СДВ настроен на операцию сдвига операнда (вправо, влево), то АЛУ исполняет микрокоманду передачи слова с входа В на выход. Результат операции, появившийся на шинах DI, будет записан в конце командного цикла в регистр-приемник по адресу, указанному в поле команды. При исполнении арифметико-логических команд СДВ настроен на передачу данных шины RBD на шину DB (сдвиг не производится). Одновременно АЛУ производит заданную командой операцию над данными шин RAD и DB. Результат операции передается на шины DI и в конце командного цикла запоминается в регистре-приемнике. Признаки результата («знак», «ноль», «переполнение», «перенос») формируются в СФФ, фиксируются в регистрах флагов и передаются по шинам N, Z, V, C в БУ АП-32.

Возможны арифметико-логические операции над двумя операндами, один из которых предварительно сдвинут. В этом случае СДВ настраивается на исполнение команд сдвига, а АЛУ на

выполнение логических или арифметических действий.

Извлечение операндов из ДАП, выполнение сдвига, арифметико-логической операции, формирование флагов и запись результата производится в течение одного командного цикла (100 нс).

Управление всех узлов ПЦЧ осуществляется управляющими сигналами, вырабатываемыми РДК (шины SEDI, КК, CSH, PALU, CFLG, CADR).

4.3.2. Командный цикл, система команд ПЦЧ

Из всей системы команд АП-32 [1] в ПЦЧ исполняются команды:

- 1) загрузки/выгрузки операндами РОН (LXI, LD, ST);
- 2) установки/сброса флагов (CL, SE);
- 3) арифметико-логических операций и операций сдвига (FUNC).

На рис. 4.8 представлена временная диаграмма командного цикла типа FUNC. Она задается порядком следования и длительностью основных (S1, S2, S3, S4) и вспомогательных (SS5, SS6) синхросигналов, вырабатываемых соответственно БУ и генератором состояний (ГС) ПЦЧ.

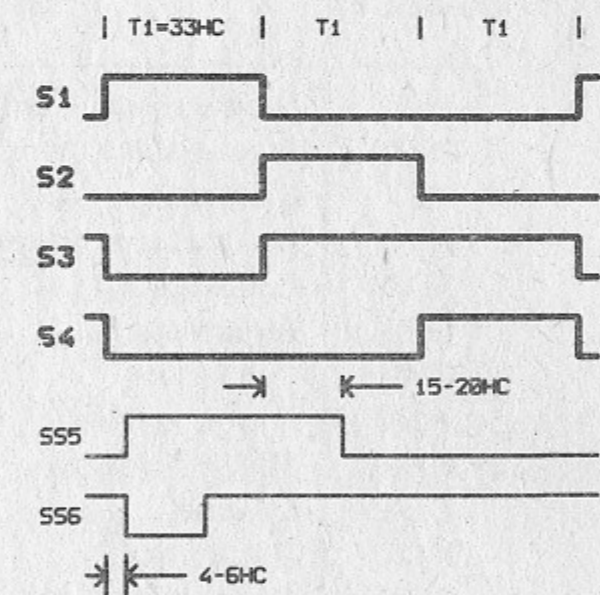
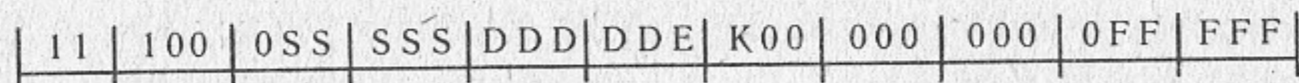


Рис. 4.8. Временная диаграмма командного цикла ПЦЧ для команд шипа FUNC.

Форматы команд ПЦЧ и их содержание описаны в деталях в предыдущей работе [1]. Здесь укажем только, что команды LXI (загрузка I-регистра непосредственно 19-разрядным беззнаковым операндом), SE, CL, FUNC исполняются в ПЦЧ только в режиме «АВТ», а команды LD, ST—как в «АВТ», так и в «ЗАХВ». Последний случай, напомним, имеет место при обмене данными между I-регистрами и ИНТ при тестировании аппаратуры.

Формат команды FUNC можно по отдельности изобразить в виде двух команд.

а). Команды арифметико-логических операций



Здесь:

⟨S⟩ — код I-источника;

⟨D⟩ — код I-приемника;

⟨F⟩ — код операций;

E — признак записи результата (запись, не запись);

K — признак вида операции (S.Op.D→D или D.Op.S→D).

В табл. 4.4 представлен набор арифметико-логических операций, выполняемых над содержимым I-регистров ПЦЧ.

(⟨L⟩=0, ⟨H⟩=0, ⟨N⟩=0)

Таблица 4.4

| Команда | Действие | Флаги | | | |
|---------|-----------------------------|-------|---|---|---|
| | | N | Z | V | C |
| INC | Прибавление единицы | * | * | * | * |
| DEC | Вычитание единицы | * | * | * | * |
| TST | Проверка | * | * | 0 | 0 |
| ADC | Прибавление «переноса» | * | * | * | * |
| ADD | Сложение | * | * | * | * |
| SUB | Вычитание | * | * | * | * |
| CMP | Сравнение | * | * | * | * |
| MIN | Минус единица | 1 | 0 | 0 | 0 |
| ONE | Минус единица | 1 | 0 | 0 | — |
| CLR | Очистка | 0 | 1 | 0 | — |
| MOV | Пересылка | * | * | 0 | — |
| COM | Инвертирование | * | * | 0 | — |
| CMV | Пересылка с инвертированием | * | * | 0 | — |
| AND | Логическое умножение | * | * | 0 | — |
| BIT | Проверка разрядов | * | * | 0 | — |
| BIC | Очистка разрядов | * | * | 0 | — |
| OR | Логическое сложение | * | * | 0 | — |
| XOR | Исключающее ИЛИ | * | * | 0 | — |

* — устанавливается по результату операции.

При значении поля команды ⟨F⟩=0 АЛУ передает операнд «В» на свой выход DI без изменений (рис. 4.7).

б). Команды сдвигов.



Здесь:

⟨H⟩ — код сдвига;

⟨N⟩ — код числа разрядов сдвига;

⟨L⟩ — код источника числа разрядов сдвига

(L=0 — число задано кодом NN, сдвиг непосредственно;

L=1 — число задано содержимым 5 младших разрядов регистра S, сдвиг косвенно).

Набор команд сдвигов представлен в табл. 4.5.

(⟨F⟩=0)

Таблица 4.5

| Команда | Вид сдвига |
|---------|---|
| ROR | Циклический вправо |
| LSR | Логический вправо |
| ASR | Арифметический вправо |
| ASL | Логический влево |
| ARC | Арифметический вправо через «перенос» (C) |
| ALC | Арифметический влево через «перенос» |
| RRC | Циклический вправо через «перенос» |
| RLC | Циклический влево через «перенос» |

Команда с полями ⟨L⟩=0, ⟨H⟩=0, ⟨N⟩=0 осуществляет циклический сдвиг вправо на 0 разрядов, что соответствует передаче операнда «В» через CDB без изменений (рис. 4.7).

4.3.3. Основные узлы ПЦЧ

Ниже дано краткое описание основных узлов ПЦЧ.

1. **Регистр-дешифратор команд.** РДК состоит из 32-разрядного регистра-мультиплексора (К500ТМ173) и схемы дешифрации команд. Последняя собрана на быстродействующем демультиплексоре (К500ИД170, время задержки не более 4 нс) и ПЗУ (К500РЕ149, время задержки 25—30 нс).

Любая текущая команда К (или CMD), в том числе и та, которая не исполняется в ПЦЧ, записывается в регистр синхросиг-

налом SS6 (рис. 4.8) и хранится в нем весь командный цикл. По внутренним шинам КК она передается ко многим узлам ПЦЧ, а ее старшие 6 разрядов (K31, ..., K26) подвергаются дешифрации в первую очередь.

Требования к быстродействию формирования управляющих сигналов, вырабатываемых схемой дешифрации, предъявляются разные, в зависимости от того, какими узлами они управляют. Наиболее жесткие они для сигналов II, RR — признаков режимов адресации ОЗУД. Эти сигналы вырабатываются демультиплексором (K1500ИД170) по трем разрядам (K30, K29, K28) кода операции команды (табл. 4.6).

Таблица 4.6

| K31 | K30 | K29 | K28 | K27 | K26 | Адресация | II | RR |
|-----|-----|-----|-----|-----|-----|-----------|----|----|
| X | 1 | 0 | 0 | X | X | прямая | 0 | 1 |
| X | 1 | 0 | 1 | X | X | индексная | 1 | 0 |

Совместно с WRK сигналы II, RR управляют режимами работы СФА при исполнении в ПЦЧ команд загрузки (выгрузки) I-, F-регистров из ОЗУД. Они (режимы) устанавливаются в СФА по истечении 12—14 нс от момента начала командного цикла.

2. Двухадресная память. ДАП состоит из двух одинаковых частей (А и В), адресуемых независимо. Емкость матрицы памяти составляет 32 слова по 32 разряда в каждой части. При записи данных в ячейку памяти одной части они автоматически записываются в аналогичную ячейку другой. К выходам обеих частей подключены два 32-разрядных регистра, используемые для временного хранения операндов, считанных из памяти. Данные передаются в ДАП двунаправленной шиной DI. Ими могут быть операнды, считанные из ОЗУД, или результаты операций АЛУ. Матрица памяти собрана на сверхбыстродействующих микросхемах K1500PY073 (время выборки 5—7 нс), а временные регистры на микросхемах K500TM173. Выходы регистров образуют две однонаправленные шины RAD и RBD.

Во временные регистры (А и В) данные, считанные из памяти, записываются синхросигналом S1 (рис. 4.8) в каждом командном цикле.

Преимущественный режим работы ДАП — режим считывания данных. Запись данных в ДАП производится только при загрузке I-регистров из ОЗУД или ИНТ и арифметико-логических операций

над содержимым этих регистров. Признак записи закодирован разрядами команды (K31, ..., K26; K15) и селектируется дешифратором. Сигналы записи формируются по этому признаку с помощью синхросигнала S4.

На адресные входы обеих частей матрицы памяти коммутаторами устанавливаются те значения адресов I-регистров, которые закодированы полями SS, DD команды. Коммутаторы управляются с помощью синхросигнала SS5.

3. Арифметико-логическое устройство. АЛУ со схемой ускоренного переноса (K500ИП179) собрано на микросхемах K500ИП181.

АЛУ работает в следующих режимах.

1. Загрузка I-регистров из ОЗУД (команды типа LD). В этом случае АЛУ должно освободить шины DI, т. е. на своих выходах установить уровни «логического нуля». Для этого на управляющие входы микросхем должна быть подана микрокоманда, соответствующая этому режиму.
2. Выгрузка I-регистров в ОЗУД (команда типа ST). В этом режиме АЛУ должно исполнять микрокоманду передачи слова со схода А на выход DI.
3. Режим исполнения арифметико-логических операций и операций сдвига. В данном случае должна быть обеспечена возможность передачи сигналов PALU на управляющие входы микросхем.

При исполнении арифметических команд текущие значения флагов «нуль» (Z), «перенос» (C), «знак» (N) образуются соответственно схемой выделения нуля результата операции, выходом переноса АЛУ, старшим разрядом результата. Что касается флага «переполнение» (V), то он является результатом логической зависимости от знаков операндов «А», «В», «переноса» и «знака» результата.

4. Сдвигатель. СДВ может осуществлять сдвиг (влево, вправо) операндов до 32 позиций за 12—15 нс. Сдвигающая часть СДВ собрана на четырех БИС K1800BP8 [2].

СДВ производит сдвиги данных шины RBD с участием (и без) содержимого регистра флага «перенос». Режимы работы СДВ задаются двумя разрядами команды FUNC и приведены в табл. 4.7.

Таблица 4.7

| K14 | K13 | Режим |
|-----|-----|--------------------------|
| 0 | 0 | Сдвиг DD непосредственно |
| 1 | 0 | Сдвиг SS непосредственно |
| 0 | 1 | Сдвиг DD косвенно |
| 1 | 1 | Запрещено |

При сдвигах флаги N, Z являются признаками «знака» и «нуля» результата и формируются как обычно. Принципы формирования флагов V и C более сложные и указаны в техническом описании процессора АП-32.

5. Схема формирования флагов. Значения флагов N, Z, V, C должны быть сформированы в процессе исполнения команды и записаны в регистры флагов к концу командного цикла. Кроме того, в системе команд АП-32 предусмотрены команды установки и сброса этих флагов. В ПЦЧ такие операции осуществляет СФФ.

Сформированные АЛУ значения флагов синхросигналом S4 записываются в регистры типа «летч» (K500TM173), выходы которых подключены к шинам N, Z, V, C магистрали АП-32. Эти же значения одновременно записываются и во «внутренние» динамические регистры (K500IP141). В них информация обновляется по отрицательному фронту сигнала S4. Содержимое этих регистров и используется при исполнении команд установки/сброса флагов.

6. Схема формирования адреса памяти данных. СФА состоит из 20-разрядного АЛУ (K1500IP181), 20-разрядного буферного регистра. Выходы регистра, собранного из двунаправленных приемо-передатчиков K1800BA7, соединены с адресными шинами AD. Управляющим сигналом WRK (табл. 4.3) буферный регистр либо подключается к шинам AD, либо отключается от них.

Управление режимами АЛУ (суммирование или передача операнда со входа на выход) осуществляется сигналами II, RR (табл. 4.4)

При прямой адресации ОЗУД исполнительный адрес устанавливается на шине AD за 19—29 нс с момента начала команды. В режиме индексной адресации на это необходимо 40—47 нс времени. В обоих режимах время установления на AD адреса ОЗУД не зависит от длительности командного цикла и определяется только быстродействием микросхем СФА.

7. Схема управления шиной данных. С помощью СУШ производится обмен данными между шиной DI и D, а также между шинами КК и DI. Однонаправленная шина КК (КК19, ..., КК0) используется только при загрузке I-регистров непосредственно (команда LXI IDR, OPR). Кроме того, СУШ реализует так называемый режим «расширения» знака. Он инициализируется управляющим сигналом, вырабатываемым РДК, только при загрузке I-регистров полусловами из ОЗУД.

5. ПАМЯТЬ ДАННЫХ

В ОЗУД хранятся 32-разрядные вещественные и целые числа. Адресуемой единицей информации является полуслово.

Так же, как и ОЗУП, матрица ОЗУД собрана на микросхемах памяти статического типа (K132PY6A, 16K×1). Память данных состоит из 4 модулей емкостью 1/4 МБ каждый. Адресное пространство (20 разрядов) позволяет удвоить объем ОЗУД, что, однако, может быть реализовано только на микросхемах большей емкости.

Системой команд АП-32 обеспечивается возможность обмена данными между ОЗУД и I-, F-регистрами. Пересылка данных типа ОЗУД-ОЗУД возможна только с помощью I-регистров.

Как показано на рис. 4.1, ОЗУД имеет доступ к шинам данных D, команд CMD, синхросигналов S. Поэтому ОЗУД может управляться либо БУ АП-32 («АВТ»), либо ИНТ ЭВМН («ЗАХВ»). В первом случае адрес памяти (AD) формируется в ПЦЧ, а во втором в ИНТ. В отличие от ОЗУП, ОЗУД инициализируется в обоих режимах одинаково — командами CMD.

Режим «ЗАХВ» предусмотрен для ввода обрабатываемых данных от ЭВМН, тестирования, отладки и т. п. В тех случаях, когда это целесообразно, в этом режиме ОЗУД может быть использовано как сверхбыстродействующее внешнее ЗУ ЭВМН. После каждого обращения к ОЗУД содержимое регистра адреса ИНТ увеличивается на единицу (автоинкрементный метод адресации). В случае обращения ИНТ в упомянутом режиме к I-, F-регистрам ОЗУД отключается от шины D сигналом EMD.

Структурная схема ОЗУД аналогична схеме ОЗУП (рис. 4.4). Отличие состоит лишь в том, что ОЗУД имеет один выход (D), а не два (D и K), как ОЗУП, и в структуру слова адреса входит разряд адреса полуслова.

В системе команд АП-32 резко сокращен набор необходимых режимов адресации ОЗУД. Используется всего два: прямой и индексный. Обращение к ОЗУД в обоих режимах производится только командами загрузки/выгрузки, имеющих «длинный» командный цикл (133 нс).

На рис. 5.1 показаны временные диаграммы сигналов основных шин центрального процессора АП-32 при выполнении командного

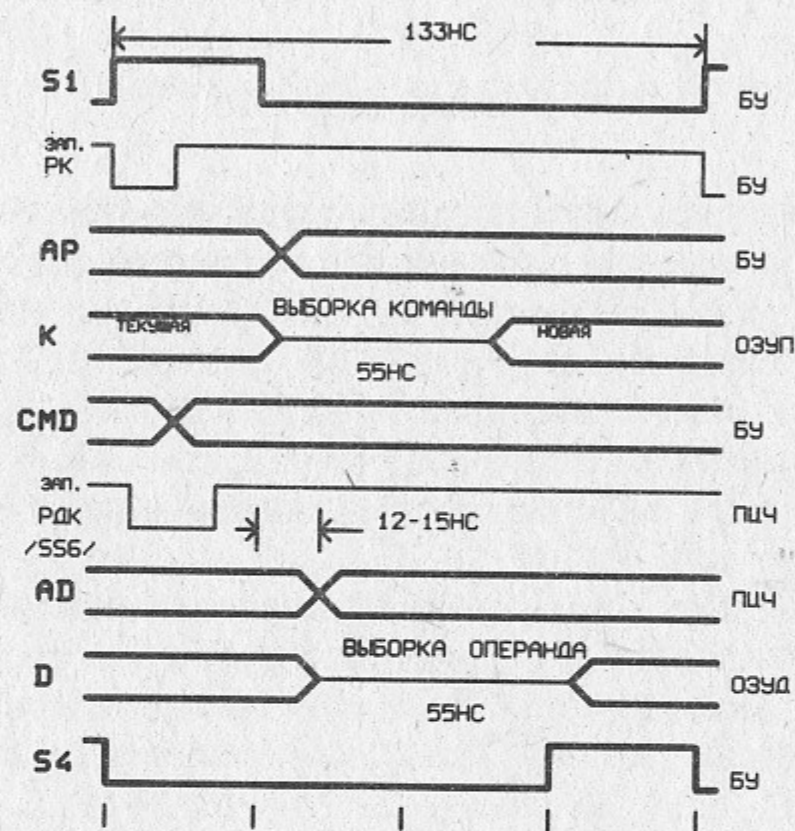


Рис. 5.1. Временная диаграмма командного цикла ЦП типа LD.

цикла типа LD (обмен данными ОЗУД—I-, F-регистр) в режиме «АВТ».

Работа и временные диаграммы БУ, ОЗУП в указанном режиме уже обсуждались ранее (см. рис. 4.3, 4.5).

Что касается ОЗУД, то инициализация ее начинается в первой фазе цикла после записи текущей команды К в регистр команд БУ и установления ее старшего полуслова на шине CMD.

Практически одновременно команда К записывается и в регистр-дешифратор ПЦЧ, где инициализируется процесс формирования адреса ОЗУД. Он будет установлен на шине AD спустя 40—47 нс с момента начала цикла (для индексного метода адресации).

Считанные из ОЗУД данные надежно устанавливаются на

шине D магистрали АП-32 к концу командного цикла и могут быть записаны в регистр-приемник синхросигналом S4.

Как видно из рис. 5.1, в АП-32 реализовано двухступенчатое конвейерное исполнение команд: одновременно с исполнением текущей команды осуществляется выборка следующей.

ЛИТЕРАТУРА

1. Аксенов Г.А. и др. Универсальный арифметический процессор АП-32. Архитектура, система команд, технические характеристики. Препринт ИЯФ 89-175, Новосибирск, 1989.
2. В.-Б.Б. Абрайтис и др. Микропроцессорный комплект БИС высокого быстродействия К1800. — Радио и связь, 1986.

*Г.А. Аксенов, В.Я. Сазанский,
И.Б. Стенина, А.Г. Чертовских*

**Универсальный арифметический
процессор АП-32**

2. Центральный процессор, память

Ответственный за выпуск С.Г. Попов

Работа поступила 14 декабря 1989 г.
Подписано в печать 28.12 1989 г. МН 10615
Формат бумаги 60×90 1/16 Объем 2,0 печ.л., 1,7 уч.-изд.л.
Тираж 150 экз. Бесплатно. Заказ № 176

*Набрано в автоматизированной системе на базе фото-
наборного автомата ФА1000 и ЭВМ «Электроника» и
отпечатано на ротапинтере Института ядерной физики
СО АН СССР,
Новосибирск, 630090, пр. академика Лаврентьева, 11.*