



ИНСТИТУТ ЯДЕРНОЙ ФИЗИКИ СО АН СССР

34

Б.О. Байбусинов, Д.П. Дружинин, Ю.В. Усов

ЭЛЕКТРОНИКА СИСТЕМЫ  
СЦИНТИЛЛЯЦИОННЫХ СЧЕТЧИКОВ  
ДЕТЕКТОРА СНД

ПРЕПРИНТ 91-96



НОВОСИБИРСК



Электроника системы сцинтилляционных счетчиков  
детектора СНД

*Б.О. Байбусинов, Д.П. Дружинин, Ю.В. Усов*

Институт ядерной физики  
630090, Новосибирск 90, СССР

АННОТАЦИЯ

Описывается электроника системы сцинтилляционных счетчиков детектора СНД, создаваемого в ИЯФ СО АН СССР для накопителя ВЭПП-2М [1]. Электроника позволяет измерять момент прохождения частиц через счетчик с точностью 50 пс.

@ Институт ядерной физики СО АН СССР

---

СИСТЕМА СЦИНТИЛЛЯЦИОННЫХ СЧЕТЧИКОВ  
ДЕТЕКТОРА СНД

Система состоит из 2 частей: внутренней и внешней. Внутренняя часть состоит из 5 сцинтилляционных счетчиков, которые расположены между дрейфовыми камерами детектора СНД и служит для временной привязки события. Внешняя система предназначена для подавления фона от космических частиц при нейтральном запуске и состоит из 20 счетчиков, расположенных за калориметром в цилиндрической и торцевой частях детектора. В цилиндрической части внешней системы 14 счетчиков, в торцевой—6. Свет с каждого счетчика регистрируется двумя ФЭУ, расположенными на торцах. Момент прохождения частицы через счетчик определяется как время между сигналами с ФЭУ, и общим для системы сигналом ФАЗА. Диапазон измеряемого времени 60 нс, необходимая точность измерения 200 пс. Для коррекции значения измеряемого времени дополнительно измеряется величина сигнала с ФЭУ с точностью 1% в диапазоне 0—1.0 нКл.

Во внешней системе для уменьшения объема электроники



производится объединение сигналов со счетчиков в четыре группы (см. табл. 1).

Таблица 1.

1. (верхние 8) + (4 торцевые) счетчики правые = 12 счетчиков.
2. (верхние 8) + (4 торцевые) счетчики левые = 12 счетчиков.
3. (нижние 6) + (1 торцевые) счетчики правые = 7 счетчиков.
4. (нижние 6) + (1 торцевые) счетчики левые = 7 счетчиков.

Объединение означает суммирование аналогового сигнала с ФЭУ и логического сигнала с дискриминатора. Первая сумма используется для коррекции измерений времени, а вторая собственно для измерения времени.

## ЭЛЕКТРОНИКА

Электроника одного канала внутренней части состоит из разветвителя-дискриминатора (РД), время-цифрового преобразователя (ВЦП), зарядо-цифрового преобразователя (ЗЦП) и двух линий задержки сигналов ( $T_{зд} = 750$  нс) (рис. 1).

Из-за больших ожидаемых нагрузок выбран следующий режим работы электроники (рис. 2):

а) логические сигналы с дискриминаторов задерживаются на время выработки сигнала первичного триггера (ПТ), стробируются по сигналу ПТ и являются СТАРТОМ для ВЦП. Сигнал СТОП для ВЦП—сигнал ФАЗА;

б) амплитудный сигнал задерживается коаксиальным кабелем на время 750 нс (150 метров кабеля РК50-2-11) и интегрируется в течение длительности сигнала ВОРОТА, вырабатываемого по сигналу ПТ.

ВЦП состоит из преобразователей  $T \rightarrow A \rightarrow T$  (ТАД) и канала платы ТП [2]. Для получения дискрета 50 пс, при цене канала ТП платы 2 нс, коэффициент экспандирования должен быть равен 40.

ЗЦП состоит из преобразователя ЗАРЯД—ВРЕМЯ (QT) и канала платы ТП. Разветвитель-дискриминатор, экспандер и преобразователь ЗАРЯД—ВРЕМЯ выполнены в виде блоков конструктива ВИШНЯ.

Электроника внешней системы состоит из тех же блоков, что и во внутренней части (ТАД, QT, PD, плата ТП). Различие заключается лишь в объединении временных и амплитудных сигналов с групп счетчиков (см. табл.1). Объединение производится после разветвителя-дискриминатора. Суммируются аналоговые сигналы с выходов А и сигналы с выходов Т. Первая сумма используется для коррекции измерений времени, а вторая для измерения времени. Измерение времени и амплитуды производится с помощью блоков ТАД, QT и платы ТП (рис.3).

Всего во внешней системе для измерения времени и амплитуды используются 4 ВЦП и 4 ЗЦП.

## БЛОК РАЗВЕТВИТЕЛЬ-ДИСКРИМИНАТОР

Блок РД имеет 4 канала, в каждом из которых имеется дискриминатор и повторитель (рис. 4). Входной сигнал от ФЭУ поступает на входы повторителя и дискриминатора. Дискриминатор вырабатывает временную отметку (сигнал с выхода Т). С выхода повторителя сигнал поступает на ЗЦП (сигнал с выхода А). Для измерения величин нагрузок импульсы подаются на пересчетку (сигнал с выхода F). В блоке предусмотрена логическая сумма временных сигналов либо всех 4 каналов, либо по 2 канала (сигналы с выходов S1 и S2). Эти сигналы предназначены для первичного триггера. Диапазон входных сигналов до 5 вольт. Минимальный порог 3 мВ.

Подстройка порогов осуществляется внутри каждого канала блока переменным сопротивлением. Общее изменение порогов осуществляется изменением напряжения на контакте разъема РП14-30 (10а). Длительность выходного сигнала 40 нс.



## БЛОК ПРЕОБРАЗОВАТЕЛЕЙ ЗАРЯД-ВРЕМЯ

Блок QT состоит из 8 каналов преобразователей заряд-время. Преобразователь выполнен на основе микросхемы КР1101ПД1. Входные сигналы интегрируются в течение длительности сигнала ВОРОТА, вырабатываемого по сигналу ПТ. Длительность сигнала ВОРОТА в системе равна 150 нс и устанавливается при настройке блока. Имеется возможность сброса преобразования. Выходные сигналы, длительность которых пропорциональна входному заряду, по витой паре передаются к оцифровывающей плате ТП (рис. 5).

Коэффициент преобразования преобразователя заряд-время и цена дискрета платы ТП определяют цену канала ЗЦП.

### Характеристика ЗЦП:

Число каналов	4096
Цена канала	0.25 пКл/кан.
Пьедестал	400 кан.
Максимальное время преобразования	8192 нс.
Минимальное время интегрирования	50 нс.
Интегральная нелинейность не более	0.5%.
Дифференциальная нелинейность не более	5%.
Собственное разрешение не хуже 1 канала на полувысоте.	
Взаимные наводки не более	2 кан.
Внутренняя задержка сигнала ПТ	не более 15 нс.

## БЛОК ЭКСПАНДЕРОВ ВРЕМЕНИ

Блок ТАД состоит из 8 каналов СТАРТ-СТОПНЫХ преобразователей времени (экспандеров). Экспандеры преобразуют время между входными сигналами (сигналы СТАРТ) и общим сигналом ФАЗА (сигнал СТОП) в длительность выходного сигнала (рис. 7). Экспандирование основано на заряде емкости большим током  $I_3$  и последующим разрядом ее малым током  $I_p$ . Коэффициент экспандирования определяется отно-

шением зарядного и разрядного токов. В блоках ТАД коэффициент равен 40.

Входные сигналы стробируются сигналом ПТ, поэтому сигналы СТАРТ и СТОП будут присутствовать лишь при наличии сигнала от первичного триггера (рис. 6). Для этого сигналы СТАРТ и СТОП задерживаются на время решения первичного триггера (750 нс). Частота следования сигнала ФАЗА 16 Мгц, что определяет диапазон измеряемого времени (60 нс).

Длительности выходных сигналов оцифровываются платой ТП.

### Характеристики ВЦП:

Входные сигналы	NIM-стандарта.
Диапазон преобразования	4096 кан.
Цена канала	50 пс/кан.
Пьедестал	200 кан.
Интегральная нелинейность	$\pm 2$ кан.
Дифференциальная нелинейность	(не более) 5 %.
Максимальное время оцифровки	8192 нс.
Внутренняя задержка сигнала ПТ	не более 6 нс.

### ЛИНИИ ЗАДЕРЖКИ

В системе используется 2 типа задержек—это кабельные линии задержки (150 метров коаксиального кабеля РК50-2-11) для задержки амплитудных сигналов и кабельные задержки с подформировкой выходного сигнала. Величина задержки 250 нс (50 метров кабеля РК50-1-11). Входные и выходные сигналы NIM—стандарта. Минимальная длительность входного сигнала 20 нс. Длительность выходного сигнала 40 нс. Линии задержки могут включаться последовательно. В одном блоке конструктива ВИШНЯ размещено 3 задержки по 250 нс, что составляет необходимое время для задержки сигнала СТАРТ.



## ОЦИФРОВЫВАЮЩАЯ ЭЛЕКТРОНИКА

В качестве оцифровывающей электроники была выбрана плата ТП. Такой выбор позволил уменьшить количество плат в стандарте КЛЮКВА, упростить и унифицировать электронику системы.

### ЛИТЕРАТУРА

1. В.М. Аульченко и др. Препринт ИЯФ СО АН СССР 87-36, Новосибирск, 1987.
2. В.М. Аульченко, Б.О. Байбусинов, В.М. Титов. Препринт ИЯФ СО АН СССР 88-22, Новосибирск, 1988.

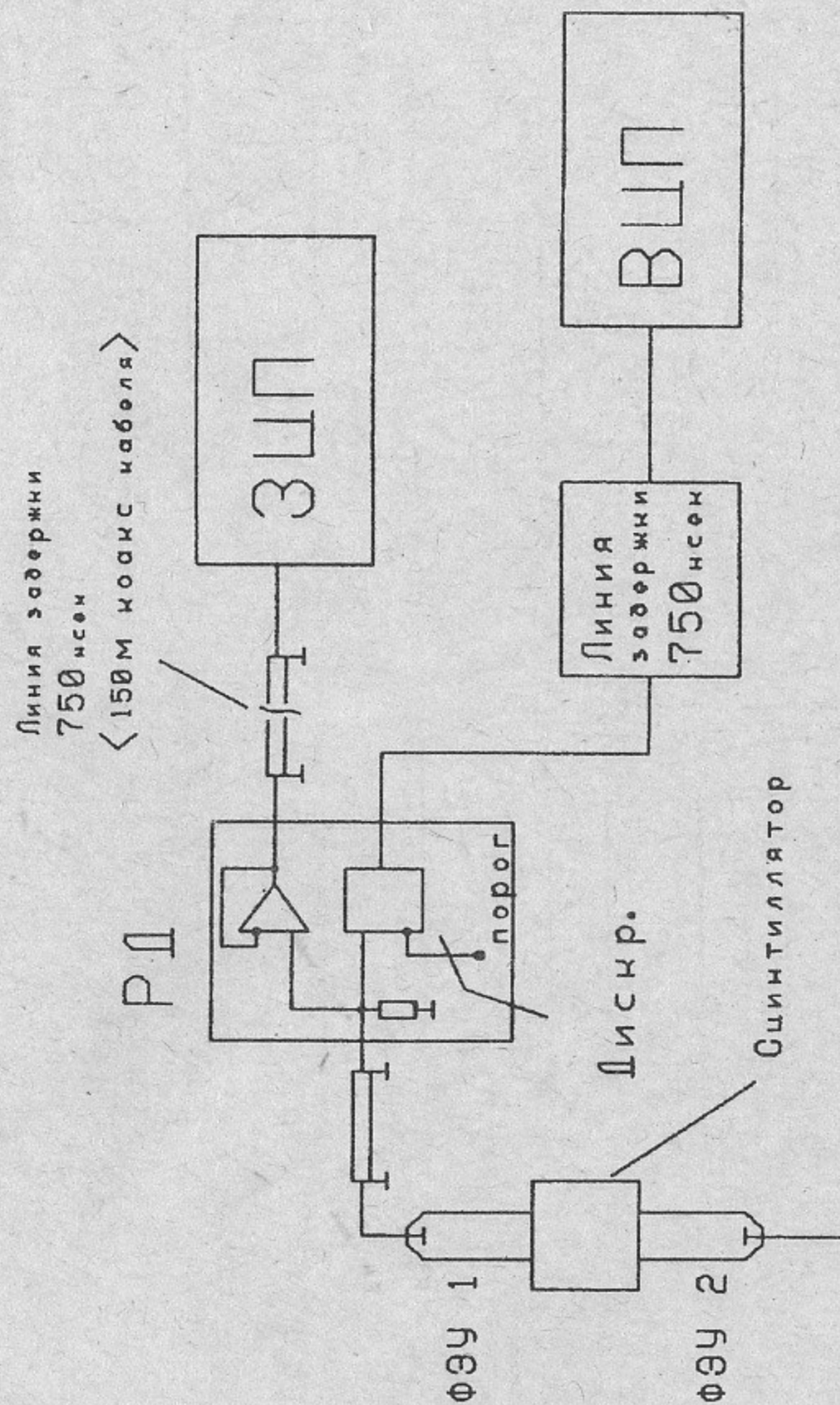


Рис. 1. Структурная схема одного канала внутренней части системы.



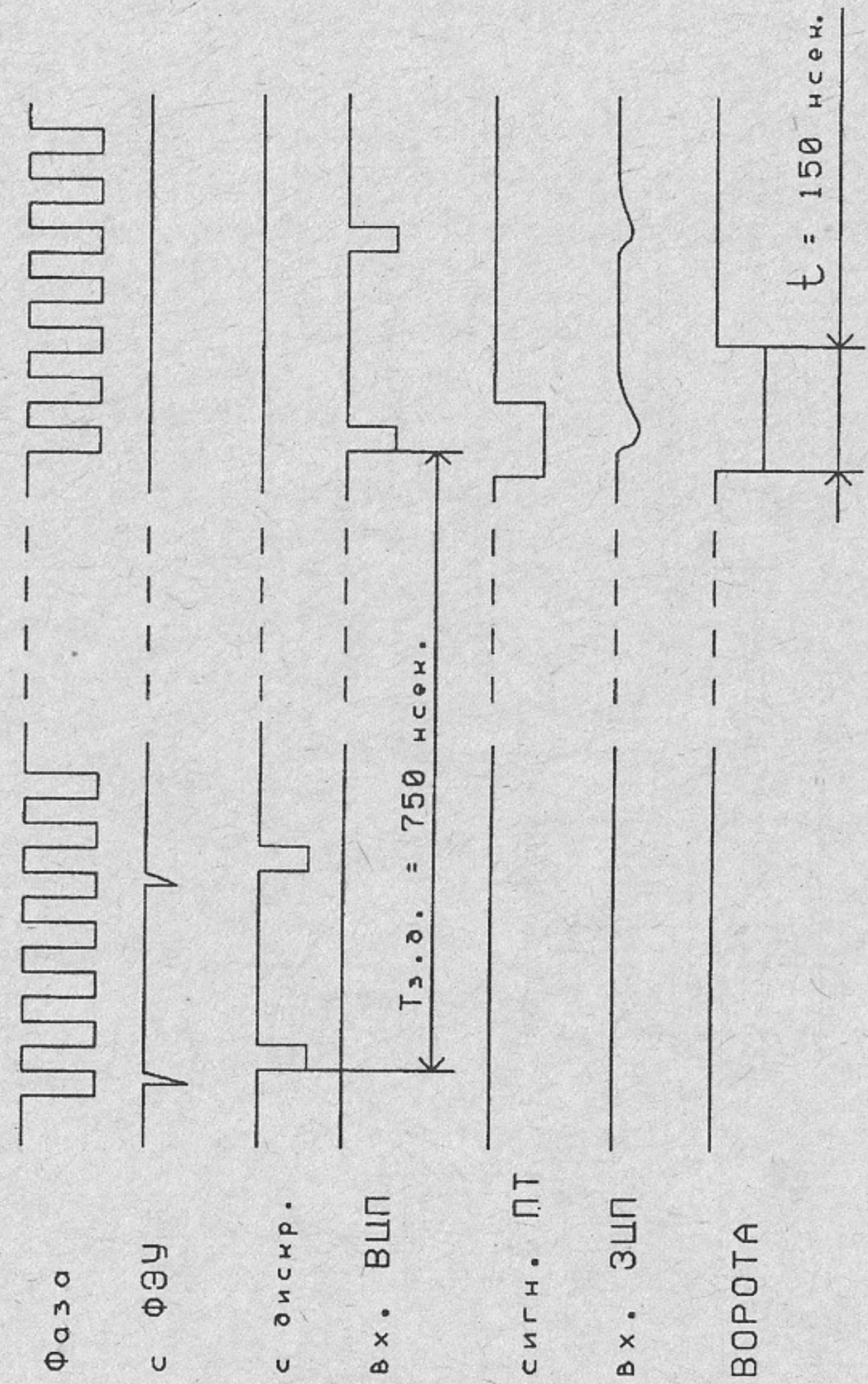


Рис. 2. Временные диаграммы режима работы электроники.

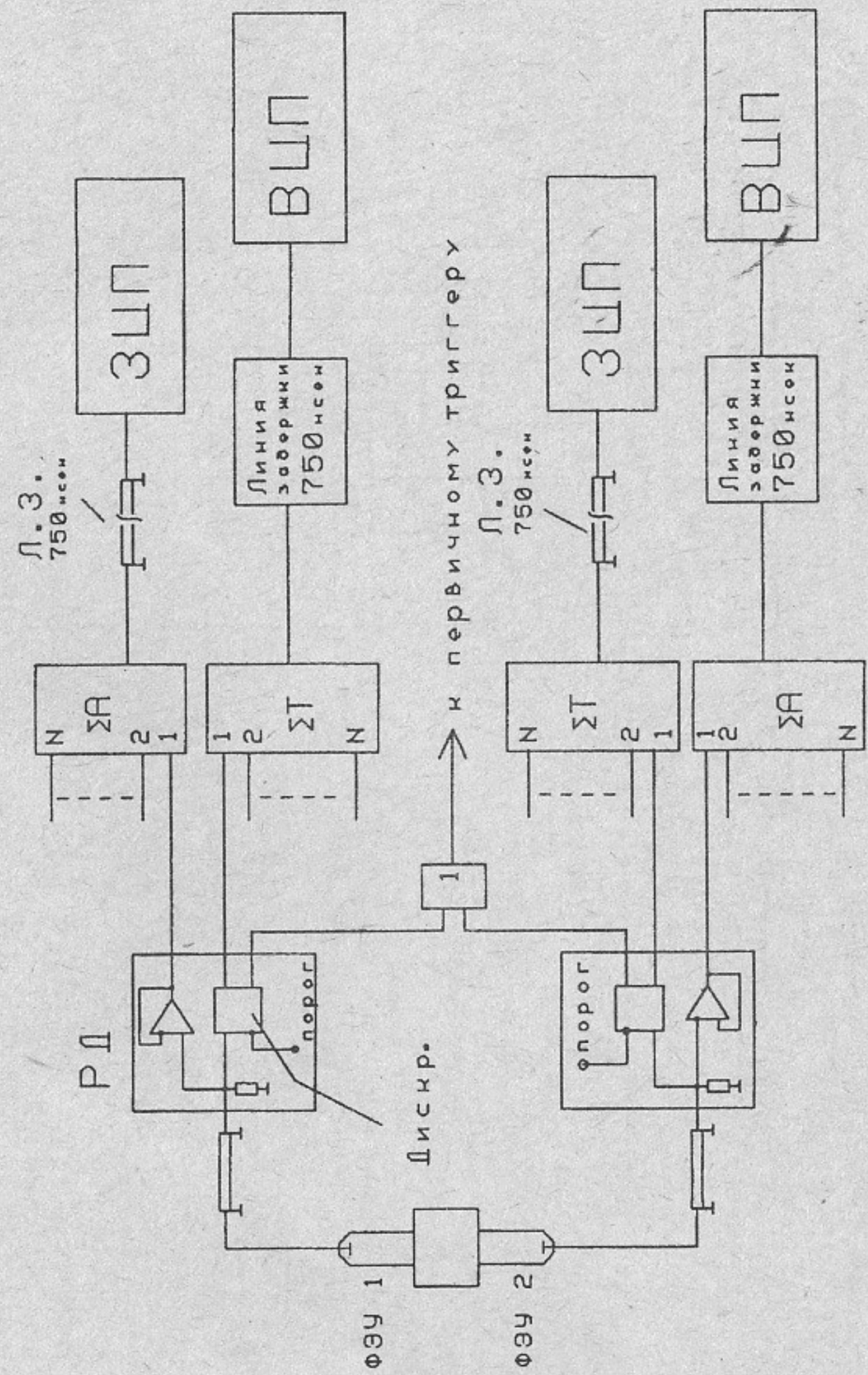


Рис. 3. Структурная схема одного канала внутренней части системы.



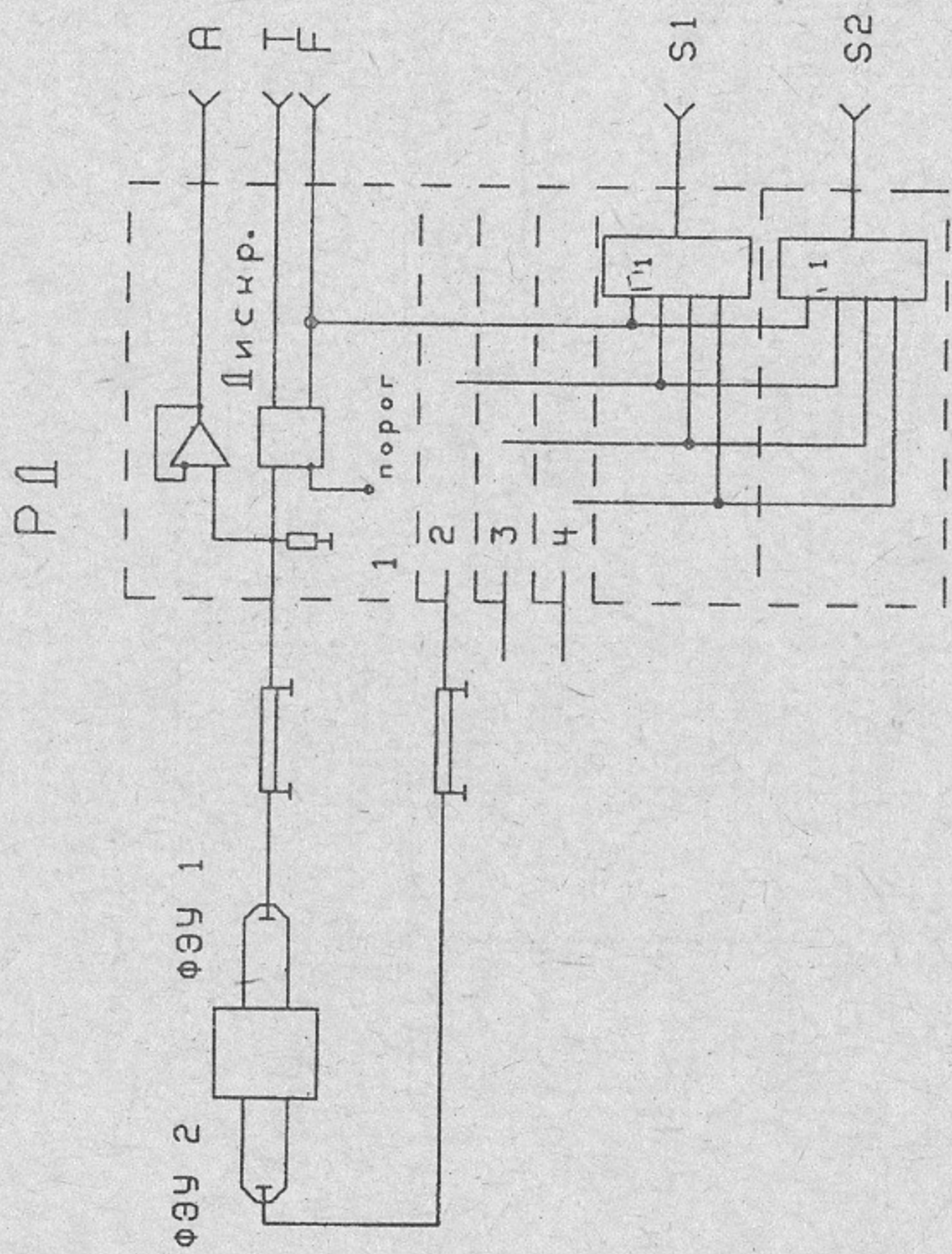


Рис. 4. Структурная схема блока РД.

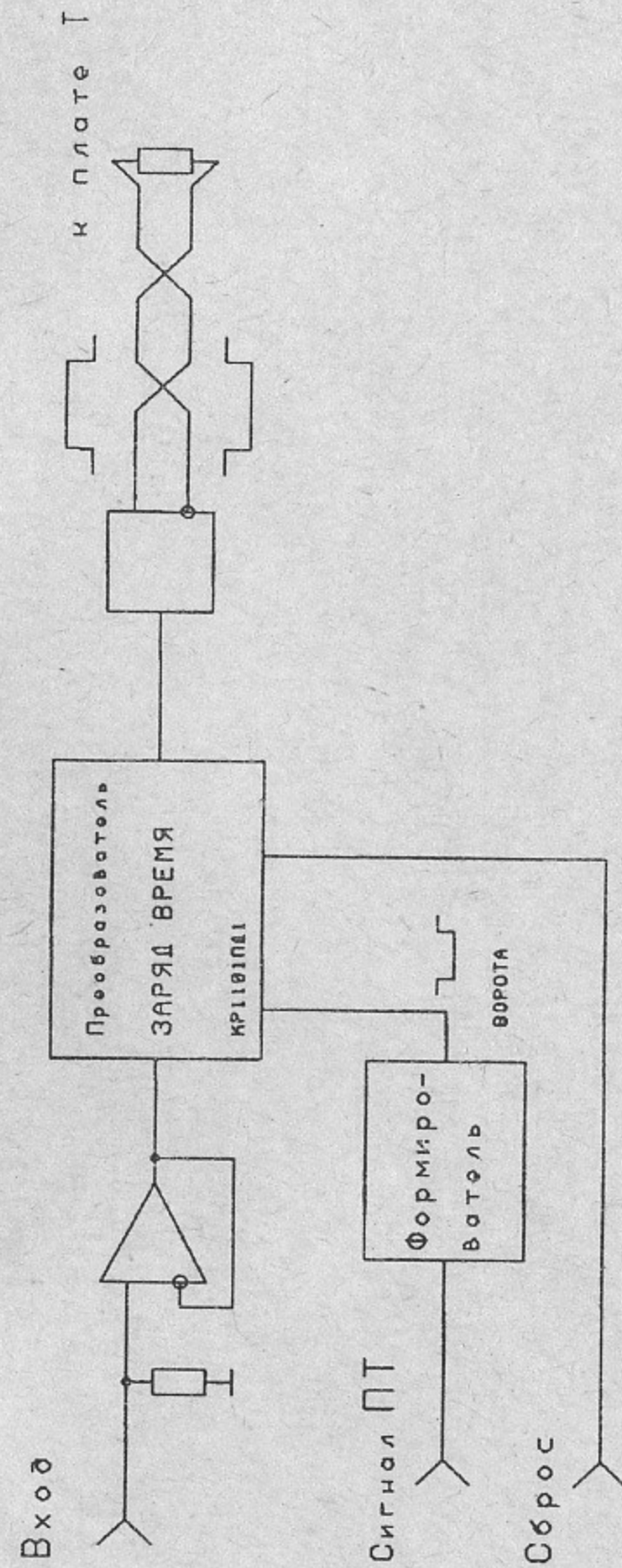


Рис. 5. Схема одного канала блока QT



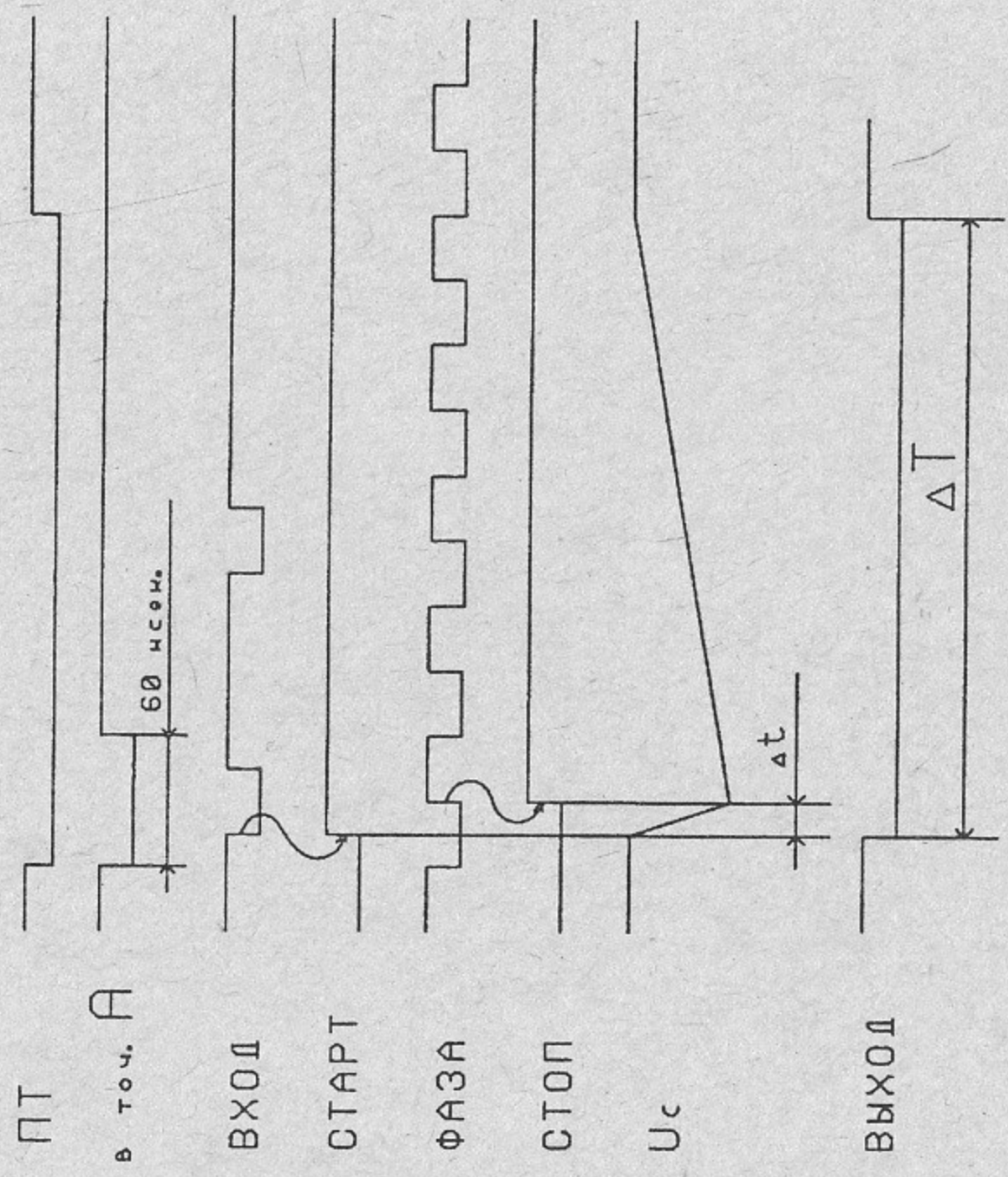


Рис. 6. Временные диаграммы поясняющие работу экспандера.

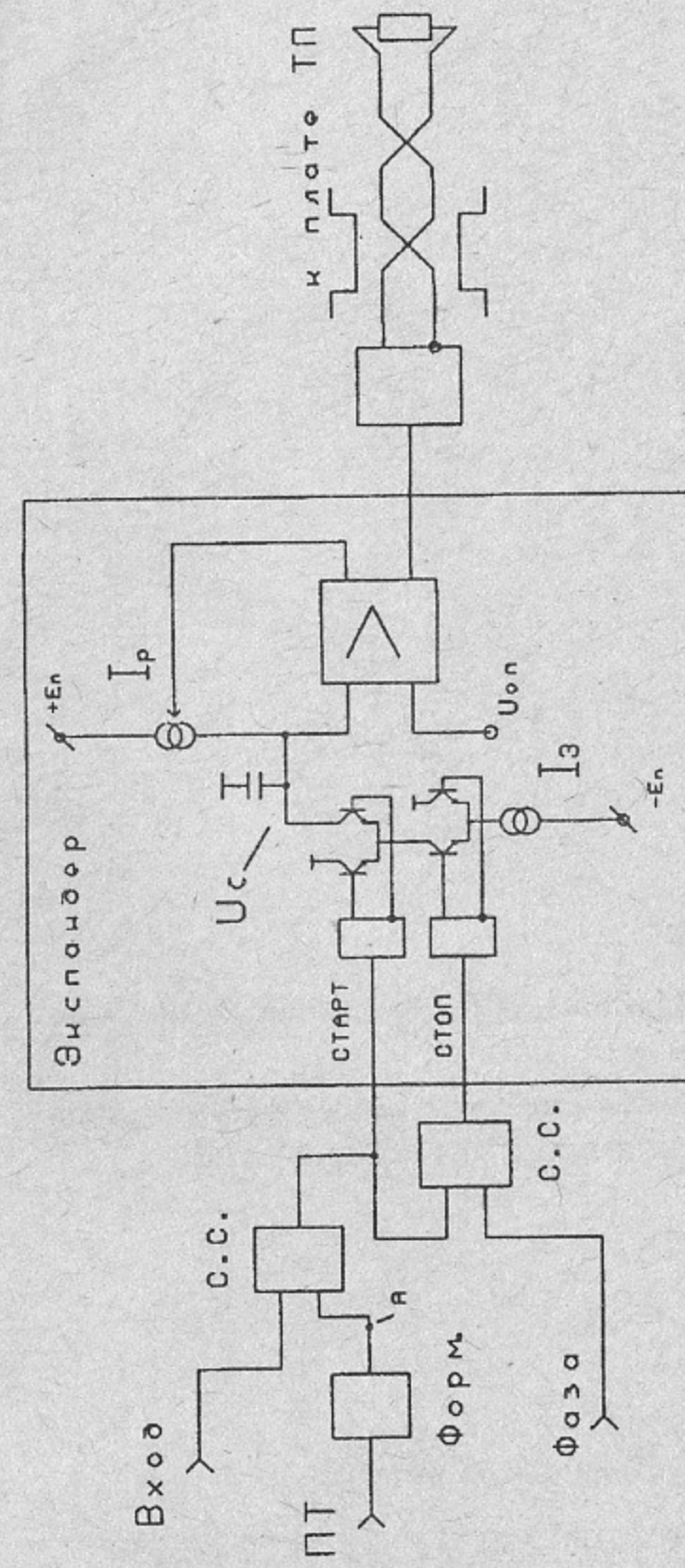


Рис.7. Схема одного канала блока TAD.



*Б.О. Байбусинов, Д.П. Дружинин, Ю.В. Усов*

**Электроника системы сцинтилляционных  
счетчиков детектора СНД**

Ответственный за выпуск С.Г. Попов

---

Работа поступила 27 сентября 1991 г.

Подписано в печать 27.09 1991 г.

Формат бумаги 60×90 1/16 Объем 0,9 печ.л., 0,8 уч.-изд.л.

Тираж 250 экз. Бесплатно. Заказ № 96

---

Ротапринт ИЯФ СО АН СССР,

*Новосибирск, 630090, пр. академика Лаврентьева, 11.*